

540384

(12)特許協力条約に基づいて公開された国際公開

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 7 月 22 日 (22.07.2004)

PCT

(10) 国際公開番号  
WO 2004/061521 A1

(51) 国際特許分類<sup>7</sup>: G02F 1/13, 1/1343, 1/1368, H01L 29/786, 21/306, 21/28

(21) 国際出願番号: PCT/JP2003/016652

(22) 国際出願日: 2003 年 12 月 24 日 (24.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2002-381362  
2002 年 12 月 27 日 (27.12.2002) JP

21 June 05

(71) 出願人 (米国を除く全ての指定国について): コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ (KONINKLIJKE PHILIPS ELECTRONICS N.V.) [NL/NL]; NL-5621 BA アインドールフェンフルーネヴァウツウェッハ 1 Eindhoven (NL).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 住 尚樹 (SUMI, Naoki) [JP/JP]; 〒108-8507 東京都港区港南 2-13-37 フィリップスビル 日本フィリップス株式会社内 Tokyo (JP).

(74) 代理人: 青木 宏義 (AOKI, Hiroyoshi); 〒108-8507 東京都港区港南 2-13-37 フィリップスビル 日本フィリップス株式会社内 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

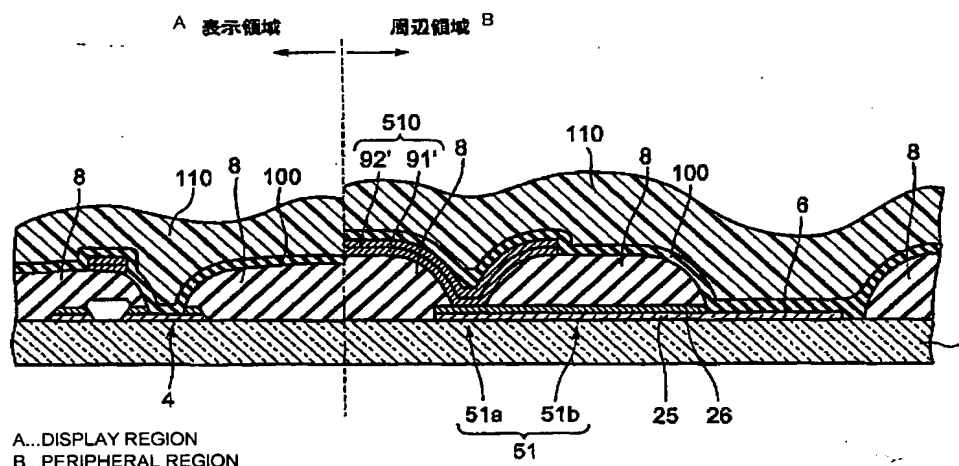
(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR MANUFACTURING ELECTRONIC DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 電子装置製造方法及び電子装置



A...DISPLAY REGION  
B...PERIPHERAL REGION

(57) Abstract: A method for manufacturing an electronic device comprises a step for forming a coating film (100) on a surface of a conductor portion-containing body (500), a step for forming a photosensitive film (110) on the conductor (500) on which the coating film (100) has been formed, a step for exposing the photosensitive film (110) to a pattern corresponding to a patterned recessed or protruded portion, a step for developing the exposed photosensitive film (110), and a step for baking the developed photosensitive film (110). With this method, an excessive removal of a metal film can be prevented or suppressed.

[続葉有]

WO 2004/061521 A1



---

(57) 要約:

導電部所有体 500 の表面に被覆膜 100 を形成する工程と、上記被覆膜 100 が形成された導電体 500 上に感光性膜 110 を形成する工程と、上記感光性膜 110 を、凹部又は凸部のパターンに対応するパターンに露光する工程と、上記露光された感光性膜 110 を現像する工程と、上記現像された感光性膜 110 をベーキングする工程とを有する電子装置の製造方法。該製造方法により、金属膜が必要以上に除去されてしまう現象を防止又は緩和する。

## 明 細 書

## 電子装置製造方法及び電子装置

## 5 技術分野

本発明は、電氣的に接続された複数の導電部を有する電子装置の製造方法及びその方法が適用された電子装置に関する。

## 背景技術

- 10 反射型液晶表示装置や半透過型液晶表示装置等の反射体が形成される液晶表示装置では、反射体に凹部又は凸部を持たせるために、反射体を形成する前に、多数の凹部又は凸部を有する下地層が形成される。下地層の材料には感光性材料が用いられている。下地層を形成する場合、支持体上に感光性材料を塗布し、
- 15 ベーキングすることによって感光性膜を形成し、この感光性膜を露光し、現像することによって感光性膜がパターンニングされる。

- 感光性膜が塗布される支持体の表面には、通常、ゲートバスやゲート端子等を構成する種々の導電膜が露出している。従って、その感光性膜を露光、現像すると、感光性膜の現像時に感光性膜の不要な部分が現像液によって除去され、その結果、感光性膜で覆われていた種々の導電膜が露出し、現像液がこの露出
- 20 した種々の導電膜に接触する。このように、現像液が種々の導電膜に接触してしまうと、感光性膜が必要以上に除去されたり、現像液に接触した導電膜が損傷を受けてしまうという現象が生じる場合がある。

- 上記の例では、現像液が種々の導電膜に接触したときの様子について説明したが、例えば、金属膜をウェットエッチングするときにエッチング液が種々の
- 25 導電部に接触したときにも、金属膜が必要以上に除去されてしまうという現象が生じる場合がある。

## 発明の開示

本発明の目的は、感光性膜が必要以上に除去される現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

5 本発明の他の目的は、現像液に接触した導電膜が損傷を受けてしまう現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

本発明の更に他の目的は、金属膜が必要以上に除去されてしまうという現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置を提供することにある。

10 上記目的を達成する本発明の第1の電子装置製造方法は、第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電気的に接続された第2の導電部とを有する第1の導電部所有体であって、前記第1及び第2の導電部が表面に露出した第1の導電部所有体を形成する工程、  
15 前記第1の導電部所有体の前記表面に被覆膜を形成する工程、前記被覆膜が形成された第1の導電部所有体上に感光性膜を形成する工程、前記感光性膜を所定の露光パターンに露光する工程、及び前記露光された感光性膜を現像する工程、を有する。

本発明の第1の導電部装置製造方法では、感光性膜を形成する前に、基板の  
20 表面に被覆膜が形成される。従って、感光性膜を現像することによって感光性膜の不要な部分が除去されても、被覆膜で覆われた導電部は、現像液には接触しない。この結果、この被覆膜で覆われた導電部はアノード又はカソードとして作用せず、電池反応を生じなくすることができる。このように電池反応を生じなくすることによって、感光性膜が必要以上に除去されたり、導電部が損傷  
25 を受けることを防止することができる。

ここで、前記第1の導電部所有体を形成する工程は、支持体上に、前記第1の導電部に前記第2の導電部が重なるように前記第1及び第2の導電部を形

成する工程を有することができる。この場合、前記第 1 の導電部所有体を形成する工程は、前記第 1 及び第 2 の導電部を形成する工程の前に、前記支持体上に絶縁膜を形成する工程を有することができる。

また、前記第 1 の導電部所有体を形成する工程は、前記第 1 の導電部が絶縁膜の孔を通じて前記第 2 の導電部に電氣的に接続されるように、前記第 1 及び第 2 の導電部を形成する工程を有することもできる。

また、本発明の第 1 の電子装置製造方法において、前記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有する絶縁膜を形成する工程である場合、前記被覆膜を形成する工程が、酸化モリブデンクロムを含む被覆膜を形成する工程とすることが好ましい。

被覆膜が絶縁膜を覆っている場合、被覆膜をエッチングすることによって、絶縁膜の一部が露出する。このときに、被覆膜だけでなく絶縁膜も一緒にエッチングされてしまうと、絶縁膜が損傷を受け、絶縁膜の機能に悪影響を与える恐れがある。従って、被覆膜の材料のエッチング速度と、絶縁膜の材料のエッチング速度との比（エッチング選択比）は、十分大きいことが要求される。この目的を達成するためには、絶縁膜の材料に、例えば窒化シリコン又は二酸化シリコンが使用されている場合は、被覆膜の材料としては酸化モリブデンクロムを好適に使用することができる。エッチング選択比の違いのため、酸化モリブデンクロムを除去することによって窒化シリコン又は二酸化シリコンが露出しても、窒化シリコン又は二酸化シリコンはほとんどエッチングされない。従って、絶縁膜の機能を良好に保つことができる。

本発明の第 2 の電子装置製造方法は、第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 2 の導電部所有体であって、前記第 1 及び第 2 の導電部が表面に露出した第 2 の導電部所有体を形成する工程、前記第 2 の導電部所有体の前記表面に感光性膜を形成する工程、前記感光性膜を所定の露光パター

ンに露光する工程、及び前記露光された感光性膜を現像する工程、を有する電子装置製造方法であって、前記第2の導電部所有体を形成する工程が、前記第1及び第2の導電部に電氣的に接続された犠牲電極を有する前記第2の導電部所有体であって、前記犠牲電極が前記表面に露出した前記第2の導電部所有体を形成する工程である。

本発明の第2の導電部装置製造方法では、第2の導電部所有体の表面に露出している第1及び第2の導電部は、それぞれ第1及び第2の平衡電極電位を有する第1及び第2の金属又は金属化合物を含有している。更に、このような第1及び第2の導電部が表面に露出した導電部所有体に、感光性膜が形成される。

従って、この感光性膜を現像することによって感光性膜の一部が除去され、この結果第1及び第2の導電部が現像液に接触してしまうと、これら第1及び第2の導電部がアノード又はカソードとして作用し電池反応が生じる。導電部においてこの電池反応が促進すると、導電部自体が損傷を受けたり、感光性膜が必要以上に除去される恐れがある。従って、導電部では、電池反応はできるだけ促進されないようにすることが望まれる。そこで、本発明の第2の導電部装置製造方法では、第2の導電部所有体は、第1及び第2の導電部に電氣的に接続された犠牲電極を備えており、この第2の導電部所有体の表面には犠牲電極が露出している。第2の導電部所有体の表面に犠牲電極が露出しているため、この第2の導電部所有体に感光性膜を形成し、この感光性膜を現像すると、第1及び第2の導電部だけでなく犠牲電極も露出し、犠牲電極が一時的に現像液に接触する。従って、感光性膜を現像することによって第1及び第2の導電部が現像液に接触したとしても、犠牲電極も現像液に接触しているため、この第1及び第2の導電部だけでなく犠牲電極もアノード又はカソードとして作用し、この結果、第1及び第2の導電部だけでなく犠牲電極でも電池反応が起きる。本発明の第2の導電部装置製造方法において、もし犠牲電極を形成しないと仮定すると、電池反応の起こる場所は第1及び第2の導電部にだけ集中するが、実際は犠牲電極を備えているため、電池反応の起こる場所を第1及び第2

の導電部だけでなく犠牲電極にも分散させることができる。この結果、第 1 及び第 2 の導電部での電池反応は促進されにくくなり、感光性膜が必要以上に除去されたり、導電部が損傷を受けることを防止又は抑制することができる。

犠牲電極は、例えば、第 1 及び第 2 の導電部のうちの一方に直に接続されてもよく、又は第 1 及び第 2 の導電部のうちの一方に一体成形されていてもよい。

ここで、第 2 の導電部所有体を形成する工程は、例えば、第 1 の導電部に前記第 2 の導電部が重なるように前記第 1 及び第 2 の導電部を形成する工程を有したり、又は第 1 の導電部が絶縁膜の孔を通じて前記第 2 の導電部に電氣的に接続されるように、前記第 1 及び第 2 の導電部を形成する工程を有することができる。

本発明の第 3 の電子装置製造方法は、第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された導電膜とを有する第 3 の導電部所有体であって、前記導電膜が表面に露出した第 3 の導電部所有体を形成する工程、及び前記第 2 の金属又は金属化合物を含有し前記第 1 の導電部に電氣的に接続された第 2 の導電部が形成されるように、前記導電膜をウェットエッチングする工程、を有する電子装置製造方法であって、前記ウェットエッチング工程が、前記第 2 の導電部の他に、前記第 1 の導電部に電氣的に接続された犠牲電極が形成されるように、前記導電膜をウェットエッチングする。

本発明の第 3 の導電部装置製造方法では、ウェットエッチング工程によって、第 2 の導電部だけでなく第 1 の導電部もエッチング液に接触し、第 1 及び第 2 の導電部がアノード又はカソードとなって電池反応が生じる場合がある。この電池反応が生じると、第 2 の導電部の材料のエッチング速度が速くなり、第 2 の導電部を所望の寸法にすることが困難になる。従って、第 2 の導電部が所望の寸法を有することができるように、電池反応はできるだけ促進されないことが望まれる。そこで、本発明の第 3 の導電部装置製造方法では、上記ウェット

エッチング工程が、上記第 2 の導電部の他に、上記第 1 の導電部に電氣的に接続された犠牲電極が形成されるように、上記導電膜をウェットエッチングしている。第 2 の導電部の他に犠牲電極を形成するため、導電膜をウェットエッチングすることによって、第 1 及び第 2 の導電部だけでなく犠牲電極も一時的にエッチング液に接触した状態となる。従って、第 1 及び第 2 の導電部だけでなく犠牲電極もアノード又はカソードとして作用するため、第 1 及び第 2 の導電部だけでなく犠牲電極でも電池反応が起き、電池反応の起こる場所を第 1 及び第 2 の導電部だけでなく犠牲電極にも分散させることができる。この結果、第 2 の導電部での電池反応は促進されにくくなり、導電膜を、所望の形状を有する第 2 の導電部が形成されるように容易にウェットエッチングすることができる。

本発明の第 3 の電子装置製造方法は、例えば、前記導電膜が前記第 1 の導電部を覆うように形成され、前記ウェットエッチング工程が、前記第 1 の導電部の少なくとも一部を露出するように、前記導電膜をウェットエッチングする場合に、特に有効である。ウェットエッチング工程の後、第 1 の導電部の一部は除去される場合もある。

本発明の第 1 の電子装置は、第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 1 の基体、前記第 1 の基体に形成された下地層、及び前記下地層の表面に形成された、複数の凹部又は凸部を有する反射部、を有する電子装置であって、前記下地層が、前記複数の凹部又は凸部に対応する位置に設けられた被覆部、及び感光性材料により形成された、前記被覆部を覆う下地層本体、を有する。

また、本発明の第 2 の電子装置は、第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の



導電部、及び前記第 1 及び第 2 の導電部に電氣的に接続された犠牲電極、を有する。

また、本発明の画像表示装置は、上記の電子装置を備えている。

## 5 図面の簡単な説明

図 1 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明の第 1 実施形態の T F T アレイ基板 2 0 の一部平面図である。

図 2 は、図 1 の I-I 方向から見た断面図である。

図 3 は、ソースバス 3 及びゲートバスの端部 5 1 等が形成された基板の一部平面図である。

図 4 は、図 3 の II-II 方向から見た断面図である。

図 5 は、a-S i 層 7 及びゲート絶縁膜 8 が形成された基板の一部平面図である。

図 6 は、図 5 の III-III 方向の断面図である。

図 7 は、導電膜 9 3 が形成された基板の断面図である。

図 8 は、M o C r 膜 9 1 と A l C u 膜 9 2 とがパターンニングされた直後の基板の一部平面図である。

図 9 は、図 8 に示す IV-IV 方向の断面図である。

図 1 0 は、M o C r 不要部 2 6 a がウエットエッチングされた後の基板を示す断面図である。

図 1 1 は、導電部所有体 A を示す断面図である。

図 1 2 は、従来のやり方で形成された下地層及びその下地層の上に形成された反射電極 1 3 が設けられた基板の断面図である。

図 1 3 は、感光性膜が形成された基板の断面図である。

図 1 4 は、図 1 3 に示す感光性膜を現像した直後の基板の断面図である。

図 1 5 は、図 1 4 に示す領域 R 1 の拡大図である。

図 1 6 は、図 1 4 に示す領域 R 2 の拡大図である。

図 1 7 は、被覆膜が形成された基板を示す断面図である。

図 1 8 は、感光性膜 1 1 0 が形成された基板の断面図である。

図 1 9 は、感光性膜 1 1 0 が現像された後の基板の断面図である。

図 2 0 は、突起 1 1 0' がポストバークされた後の基板の断面図である。

5 図 2 1 は、被覆膜 1 0 0 がエッチングされた後の基板の断面図である。

図 2 2 は、平坦化膜 1 2 が形成された基板の断面図である。

図 2 3 は、ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第 2 実施形態の T F T アレイ基板 2 0 0 の一部断面図である。

10 図 2 4 は、ゲート電極 2 0 1、ゲート絶縁膜 2 0 2、a - S i 層 2 0 3 及び保護膜 2 0 4 が形成された基板を示す断面図である。

図 2 5 は、導電膜が形成された基板の断面図である。

図 2 6 は、I T O 膜 2 0 5 と M o C r 膜 2 0 6 とをウェットエッチングした後の基板の断面図である。

図 2 7 は、被覆膜 2 0 9 が形成された基板を示す断面図である。

15 図 2 8 は、多数の突起 2 1 0 が形成された基板を示す断面図である。

図 2 9 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 3 実施形態の T F T アレイ基板 3 0 0 の一部平面図である。

図 3 0 は、図 2 9 の I - I 方向から見た断面図である。

図 3 1 は、図 2 9 の II - II 方向から見た断面図である。

20 図 3 2 は、ゲートバス端部 5 1 及び犠牲電極 6 0 等が形成された基板の一部平面図である。

図 3 3 は、図 3 2 の III - III 方向から見た断面図である。

図 3 4 は、図 3 2 の IV - IV 方向から見た断面図である。

25 図 3 5 は、基板 1 上に a - S i 層 7 及びゲート絶縁膜 8 が形成された基板の一部平面図である。

図 3 6 は、図 3 5 の V - V 方向から見た断面図である。

図 3 7 は、図 3 5 の VI - VI 方向から見た断面図である。

図 3 8 は、導電膜 9 3 が形成された基板の断面図である。

図 3 9 は、導電膜 9 3 が形成された基板の断面図である。

図 4 0 は、MoCr 膜 9 1 と AlCu 膜 9 2 とがウェットエッチングされた後の基板の一部平面図である。

5 図 4 1 は、図 4 0 のVII-VII方向から見た断面図である。

図 4 2 は、図 4 0 のVIII-VIII方向から見た断面図である。

図 4 3 は、突起 1 1 が形成された直後の基板の一部平面図である。

図 4 4 は、ゲートバス端部 5 1 等が形成された基板の一部平面図である。

図 4 5 は、図 4 4 のI-I方向から見た断面図である。

10 図 4 6 は、図 4 4 のII-II方向から見た断面図である。

図 4 7 は、a-Si 膜 7 及び絶縁膜 8 が形成された基板の一部平面図である。

図 4 8 は、図 4 7 のIII-III方向から見た断面図である。

図 4 9 は、図 4 7 のIV-IV方向から見た断面図である。

15 図 5 0 は、導電膜 9 3 が形成された基板の断面図である。

図 5 1 は、導電膜 9 3 が形成された基板の断面図である。

図 5 2 は、導電膜 9 3 がパターニングされた後の基板の一部平面図である。

図 5 3 は、図 5 2 のV-V方向から見た断面図である。

図 5 4 は、図 5 2 のVI-VI方向から見た断面図である。

20 図 5 5 は、MoCr 不要部 2 6 a 及び 2 6 b がウェットエッチングされた後の基板を示す断面図である。

図 5 6 は、MoCr 不要部 2 6 a 及び 2 6 b がウェットエッチングされた後の基板を示す断面図である。

25 図 5 7 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 4 実施形態の TFT アレイ基板 4 0 0 の一部平面図である。

図 5 8 は、図 5 7 のI-I方向から見た断面図である。

図 5 9 は、図 5 7 のII-II方向から見た断面図である。

図 6 0 は、ソースバス 1 9 1 及び犠牲電極 1 7 1 等が形成された基板の一部平面図である。

図 6 1 は、図 6 0 の III-III 方向から見た断面図である。

図 6 2 は、図 6 0 の IV-IV 方向から見た断面図である。

5 図 6 3 は、ガラス基板 1 上に a-Si 層 1 5 3 及び 1 6 3 とゲート絶縁膜 1 6 0 とが形成された基板の一部平面図である。

図 6 4 は、図 6 3 の V-V 方向から見た断面図である。

図 6 5 は、図 6 1 の VI-VI 方向から見た断面図である。

図 6 6 は、導電膜 1 7 7 が形成された基板の断面図である。

10 図 6 7 は、導電膜 1 7 7 が形成された基板の断面図である。

図 6 8 は、MoCr 膜 1 7 5 と AlCu 膜 1 7 6 とがパターニングされた後の基板の一部平面図である。

図 6 9 は、図 6 8 の VII-VII 方向から見た断面図である。

図 7 0 は、突起 1 1 が形成された直後の基板の一部平面図である。

15 図 7 1 は、ソースバス 1 9 1 等が形成された基板の一部平面図である。

図 7 2 は、図 7 1 の I-I 方向から見た断面図である。

図 7 3 は、図 7 1 の II-II 方向から見た断面図である。

図 7 4 は、a-Si 層 1 5 3 及び 1 6 3 とゲート絶縁膜 1 6 0 とが形成された基板の一部平面図である。

20 図 7 5 は、図 7 4 の III-III 方向から見た断面図である。

図 7 6 は、図 7 4 の IV-IV 方向から見た断面図である。

図 7 7 は、導電膜 1 7 7 が形成された基板の断面図である。

図 7 8 は、導電膜 1 7 7 が形成された基板の断面図である。

25 図 7 9 は、導電膜 1 7 7 がパターニングされた後の基板の一部平面図である。

図 8 0 は、図 7 9 の V-V 方向から見た断面図である。

図 8 1 は、図 7 9 の VI-VI 方向から見た断面図である。

図 8 2 は、M o C r 不要部 2 6 a 及び 2 6 b がウェットエッチングされた後の基板を示す断面図である。

図 8 3 は、M o C r 不要部 2 6 a 及び 2 6 b がウェットエッチングされた後の基板を示す断面図である。

5 図 8 4 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 5 実施形態の T F T アレイ基板 5 0 0 の一部平面図である。

図 8 5 は、図 8 4 の I - I 方向から見た断面図である。

図 8 6 は、図 8 4 の II - II 方向から見た断面図である。

図 8 7 は、ゲート端子 6 等が形成された基板の一部平面図である。

10 図 8 8 は、図 8 7 の III - III 方向から見た断面図である。

図 8 9 は、a - S i 層 7、ゲート絶縁膜 8、ゲート電極 9 及びゲートバス本体部 5 2 が形成された基板の一部平面図である。

図 9 0 は、図 8 9 の IV - IV 方向から見た断面図である。

図 9 1 は、下地層が形成された基板の一部平面図である。

15 図 9 2 は、図 9 1 の V - V 方向から見た断面図である。

図 9 3 は、図 9 1 の VI - VI 方向から見た断面図である。

図 9 4 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図である。

20 図 9 5 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図である。

図 9 6 は、A g 膜 1 3 0 が形成された基板の断面図である。

図 9 7 は、A g 膜 1 3 0 が形成された基板の断面図である。

図 9 8 は、A g 膜 1 3 0 をウェットエッチングした直後の基板の一部平面図である。

25 図 9 9 は、図 9 8 の基板の VII - VII 方向から見た断面図である。

図 1 0 0 は、図 9 8 の基板の VIII - VIII 方向から見た断面図である。

発明を実施するための最良の形態

以下、本発明の実施形態について、液晶表示装置に用いられるTFTアレイ基板を製造する場合を取り上げて説明するが、本発明は、液晶表示装置に用いられるTFTアレイ基板以外にも適用することができる。

5    〔実施形態1〕

図1は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明の第1実施形態のTFTアレイ基板20の一部平面図、図2は、図1のI-I方向から見た断面図である。尚、本実施形態では、反射型の液晶表示装置について説明しているが、例えば半透過型の液晶表示装置にも適用することができる。

10    図1及び図2の左側はTFT及び反射電極13等が形成される表示領域であり、図1及び図2の右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

15    以下、図1及び図2に示すTFTアレイ基板20の製造方法について説明する。

先ずガラス基板1上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバスの端部51及びゲート端子6を形成する（図3参照）。

図3は、ソースバス3及びゲートバスの端部51等が形成された基板の一部平面図、図4は、図3のII-II方向から見た断面図である。

20    図3に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域にはゲート端子6とゲートバスの端部（以下、「ゲートバス端部」という）51とが形成されている。ゲート端子6はゲートバス端部51に繋がるように形成されている。ゲートバス端部51は、後述するゲートバス5の本体部510（図10参照）に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有する。ソース電極2、ソー

25

5 スバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、ITO を含有する ITO 部 2 5 と MoCr を含有する MoCr 部 2 6 との二層構造を有している。このような二層構造のソース電極 2、ソースバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、基板 1 上に MoCr 膜 / ITO 膜の二層膜を形成し、この二層膜をパターニングすることにより形成されている。このように、これらゲートバス端部 5 1 等を ITO 部 2 5 の単層構造ではなく、ITO 部 2 5 と MoCr 部 2 6 との二層構造とすることによって、これらゲートバス端部 5 1 等の抵抗を低くすることができる。ここでは、ゲートバス端部 5 1 の接続部 5 1 a 及び 5 1 c は ITO 部 2 5 と MoCr 部 2 6 との二層構造を有しているが、接続部 5 1 a 及び 5 1 c を ITO 部 2 5 のみの単層構造としてもよい。この場合、ゲートバス端部 5 1 の接続部 5 1 a 及び 5 1 c が ITO 部 2 5 のみの単層構造であっても、ゲートバス端部 5 1 の延長部 5 1 b を ITO 部 2 5 と MoCr 部 2 6 との二層構造とすることによって、ゲートバス端部 5 1 自体の抵抗値を十分に低くすることができる。ただし、十分に低い抵抗値が得られるのであれば、ゲートバス端部 5 1 等は ITO 部 2 5 のみの単層構造であってもよい。

また、ゲート端子 6 はゲートバス端部 5 1 に繋がるように形成されているが、このゲート端子 6 は MoCr 部 2 6 の一部分 2 6 a (図 3 にクロスハッチングで示されている部分) で覆われていることに注意されたい。ゲート端子 6 にとってこの MoCr 部 2 6 の一部分 2 6 a (以下、MoCr 不要部 2 6 a と呼ぶ) は不要であり、このため、この MoCr 不要部 2 6 a は除去されなければならない。しかしながら、図 3 及び図 4 に示す状態において MoCr 不要部 2 6 a を除去しようとする、MoCr 不要部 2 6 a を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに TFT アレイ基板が製造できるように、MoCr 不要部 2 6 a を直ぐに除去するのではなく、先に a-Si 層及びゲート絶縁膜を形成する。尚、ITO 部 2 5 と MoCr 部 2 6 との二層体  $\alpha$  1 (図 4 参照) は、ゲート端部 5 1、ゲート端子 6 及び MoCr 不要部 2 6 a を構成している。

図5は、a-Si層7及びゲート絶縁膜8が形成された基板の一部平面図、図6は、図5のIII-III方向の断面図である。

a-Si層7を形成した後、ゲート絶縁膜8が形成される。このゲート絶縁膜8は、孔8a、8b及び8cを有する。孔8aはドレイン電極4を露出するための孔である。孔8bは、ゲートバス端部51の接続部51aを露出するための孔である。孔8cは、ゲート端子6を覆っているMoCr不要部26aを露出するための孔である。

ゲート絶縁膜8を形成した後、ゲート電極等の材料を用いて導電膜を形成する（図7参照）。

図7は、導電膜93が形成された基板の断面図である。

ここでは、導電膜93は、Crが添加されMoを主成分とする材料からなる膜（以下、MoCr膜と呼ぶ）91と、Cuが添加されAlを主成分とする材料からなる膜（以下、AlCu膜と呼ぶ）92とから構成される。このようにMoCr膜91とAlCu膜92とを形成した後、これらの膜91及び92はリソグラフィ技術によってパターニングされる（図8参照）。

図8は、MoCr膜91とAlCu膜92とがパターニングされた直後の基板の一部平面図、図9は、図8に示すIV-IV方向の断面図である。

図8及び図9には、導電膜93（図7参照）をパターニングするためのレジスト膜Resが図示されている。レジスト膜Resを形成した後に導電膜93をウェットエッチングすることによって、レジスト膜Resの下にはゲート電極9とゲートバスの本体部（以下、「ゲートバス本体部」と呼ぶ）510とが形成される。また、導電膜93（図7参照）をウェットエッチングすることによって、導電膜93の不要な部分が除去され、この結果、MoCr部26のMoCr不要部26aが露出する。先に説明したように、このMoCr不要部26aはゲート端子6には不要であるので、MoCr不要部26aが露出したら、レジスト膜Resを剥離する前に、このMoCr不要部26aも一緒にウェットエッチングする（図10参照）。



図10は、MoCr不要部26aがウエットエッチングされた後の基板を示す断面図である。

MoCr不要部26aをウエットエッチングすることにより、ゲート端子6を露出させることができる。また、MoCr不要部26aをウエットエッチングすることによって、このMoCr不要部26aと同じ材料であるゲート電極4のMoCr部26の一部もウエットエッチングされる。ウエットエッチングが終了した後、レジスト膜Resが剥離され、図11に示す導電部所有体Aが製造される。

尚、ここでは、ゲート端子6を露出するために、MoCr不要部26aを除去する前にゲート絶縁膜8を形成し（図5及び図6参照）、導電膜93をウエットエッチングする工程でMoCr不要部26aのウエットエッチングも一緒に行うことによって、ゲート端子6を露出させている。しかしながら、ゲート絶縁膜8を形成する前に、図4に示す二層体 $\alpha 1$ のMoCr不要部26aを除去してゲート端子6を露出させておいてもよい。ただし、ゲート絶縁膜8を形成する前に、ゲート端子6を露出させる場合は、製造工程が増加するので、図3乃至図10を参照しながら説明したように、導電膜93をウエットエッチングする工程で、MoCr不要部26aのウエットエッチングも行うことが好ましい。

図11に示すように、レジスト膜Res2を剥離した後、反射電極を形成する前に、この反射電極に所望の反射特性を持たせるための下地層を形成する。しかしながら、この下地層を従来のやり方で形成すると以下のような問題が生じる。この問題について、図12乃至図16を参照しながら説明する。

図12は、従来のやり方で形成された下地層及びその下地層の上に形成された反射電極13が設けられた基板の断面図である。

下地層は、感光性樹脂を材料として形成された多数の突起11と、この突起11を覆うように形成された平坦化膜12とから構成される。平坦化膜12の下に多数の突起11が存在しているため、この平坦化膜12の表面に凹凸が設

けられる。平坦化膜 12 の表面にこのような凹凸を設けておくことによって、反射電極 13 の表面にも凹凸を設けることができ、この結果、反射電極 13 の反射特性を向上させることが可能となる。以下に、突起 11 をどのようにして形成しているかについて、図 13 及び図 14 を参照しながら説明する。

5 図 13 は、感光性膜が形成された基板の断面図、図 14 は、図 13 に示す感光性膜を現像した直後の基板の断面図である。

図 12 に示す突起 11 を形成するためには、まず、ゲート電極 9 が形成された基板の表面に感光性樹脂を塗布し、塗布した感光性樹脂をプリベークすることによって感光性膜 110 を形成する。その後、感光性膜を突起 11 に対応する部分が残るように露光及び現像する。感光性膜 110 をこのように露光及び現像することにより、断面が略矩形状の多数の突起 110' が形成される（図 14 参照）。多数の突起 110' の形成後、この突起 110' をポストベークすることにより、突起 110' の材料である感光性樹脂が熔融し、断面がドーム形状の多数の突起 11（図 12 参照）が形成される。しかしながら、上記のやり方で突起 11 を形成しようとする、突起 110' が所望の寸法よりも小さくなるという問題や、ゲート端子 6 の抵抗値が高くなってしまいう問題が生じる。以下に、突起 110' が所望の寸法よりも小さくなる理由を図 15 を参照しながら考察し、次に、ゲート端子 6 の抵抗値が高くなってしまいう理由を図 16 を参照しながら考察する。

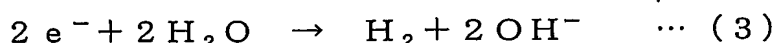
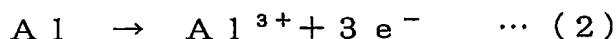
20 図 15 は、図 14 に示す領域 R1 の拡大図である。

感光性膜 110（図 13 参照）から多数の突起 110'（図 14 参照）を形成するためには、感光性膜 110 の不要な部分を除去する必要がある。この目的のため、感光性膜 110 の不要な部分は、現像工程において現像液により除去される。このように感光性膜 110 の不要な部分が現像液によって除去されると、ゲート電極 9 が露出し、ゲート電極 9 が一時的に現像液に浸された状態になる。ゲート電極 9 は MoCr 膜 91' 及び AlCu 膜 92' から構成されているため、多量の Al 及び Mo を含有している。Al 及び Mo の平衡電極電

位は式（１）の関係で表される。



MoCr膜91'及びAlCu膜92'が現像液に接触すると、現像液は電解質溶液であることから、反応式（２）及び（３）で表される電池反応が起きると考えられる。



Alの平衡電極電位はMoの平衡電極電位よりも小さいため、AlCu膜92'はアノードとして作用し、電子（ $e^-$ ）を放出する反応式（２）が優先的に生じると考えられる。一方、MoCr膜91'はカソードとして作用し、電子を受け取る反応式（３）が優先的に生じると考えられる。尚、反応式（３）の左辺の $H_2O$ は現像液の主成分である $H_2O$ を表す。

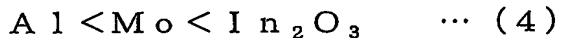
反応式（２）の反応が起こることによって、 $Al^{3+}$ が発生するとともに電子（ $e^-$ ）が発生する。発生した電子の一部は、AlCu膜92'からMoCr膜91'を経由して現像液中の $H_2O$ と反応し、この結果、反応式（３）に示すように、 $H_2$ とともに $OH^-$ が生じる。このように反応式（３）で表される反応が生じた場合、 $OH^-$ が生じるため、MoCr膜91'の近傍はアルカリ濃度が高くなる。このようにアルカリ濃度が高くなると、現像液が感光性膜110を除去するスピードは速くなるため、MoCr膜91'の近傍では、感光性樹脂の除去が加速度的に進行する。この結果、MoCr膜91'の近傍に位置する突起110'の材料が必要以上に除去され、所望の寸法より小さくなると考えられる。

また、周辺領域では、以下のような現象が生じると考えられる。

図16は、図14に示す領域R2の拡大図である。

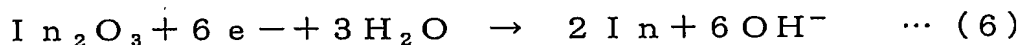
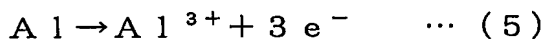
感光性膜110を現像すると、周辺領域では、突起110'が形成される一方で、ゲートバス本体部510及びゲート端子6が露出する。従って、周辺領域側では、ゲートバス本体部510とゲート端子6とが一時的に現像液に浸さ

れた状態になる。ゲートバス本体部 510 は MoCr 膜 91' 及び AlCu 膜 92' (図 8 参照) から構成されているため多量の Al 及び Mo を含んでおり、一方、ゲート端子 6 の材料には ITO が用いられているためゲート端子 6 には  $\text{In}_2\text{O}_3$  が含まれている。これら Al、Mo 及び  $\text{In}_2\text{O}_3$  の平衡電極電位の大きさは (4) 式で表される。



(4) 式で表されるように、平衡電極電位が最も小さいのは Al であり、平衡電極電位が最も大きいのは  $\text{In}_2\text{O}_3$  である。従って、ゲートバス本体部 510 とゲート端子 6 とが現像液に浸された状態になることにより、反応式 (5)

及び (6) で表される電池反応が生じると考えられる。



平衡電極電位が最も小さいのは Al であり、平衡電極電位が最も大きいのは  $\text{In}_2\text{O}_3$  であるため、AlCu 膜 92' 側では反応式 (5) が優先的に生じ、ITO 側 (即ち、ゲート端子 6 側) では反応式 (6) が優先的に生じると考えられる。

(5) の反応が起こることによって、 $\text{Al}^{3+}$  が発生するとともに電子 ( $e^-$ ) が発生する。この発生した電子の一部は、AlCu 膜 92' から MoCr 膜 91' を経由してゲート端子 6 に流入する。このゲート端子 6 に流入した  $e^-$  によって、ゲート端子 6 において、反応式 (6) に示すように  $\text{In}_2\text{O}_3$  から In が生成される反応が生じる。このような In の生成はゲート端子 6 の損傷を引き起こし、この結果ゲート端子 6 の抵抗値が高くなると考えられる。

上記の考察から、本願発明者は、突起 110' 自体が剥離してしまう原因は反応式 (2) 及び (3) が起きるためであり、一方、ゲート端子 6 の抵抗値が高くなってしまう原因は反応式 (5) 及び (6) が起きるためであると考えた。そこで、第 1 実施形態では、反応式 (2)、(3)、(5) 及び (6) が起きないように、以下の様にして下地層を形成している。この下地層の形成方法に

ついて図 1 7 乃至図 2 2 を参照しながら説明する。

図 1 7 は、被覆膜が形成された基板を示す断面図である。

第 1 実施形態では、感光性膜 1 1 0 (図 1 3 参照) を形成する前に、被覆膜 1 0 0 を形成する。この被覆膜 1 0 0 は、ゲート電極 9、ゲートバス本体部 5 1 0 及びゲート端子 6 が形成された基板 1 の全面を覆うように形成される。被覆膜 1 0 0 を形成した後に、感光性膜 1 1 0 を形成する (図 1 8 参照)。

図 1 8 は、感光性膜 1 1 0 が形成された基板の断面図である。

この感光性膜 1 1 0 は、感光性樹脂を塗布し、この塗布した感光性樹脂をブリベークすることによって形成される。感光性膜 1 1 0 を形成した後、この感光性膜 1 1 0 を露光及び現像する (図 1 9 参照)。

図 1 9 は、感光性膜 1 1 0 が現像された後の基板の断面図である。

感光性膜 1 1 0 は、略円柱形状の多数の突起 1 1 0' が形成されるように露光及び現像される。ゲート電極 9 及びゲートバス本体部 5 1 0 は被覆膜 1 0 0 で覆われているため、感光性膜 1 1 0 を現像している間に、ゲート電極 9 及びゲートバス本体部 5 1 0 が含む金属  $Mo$  及び  $Al$  が現像液に浸されることが防止される。従って、反応式 (2) 及び (3) が起こることが確実に防止され、この結果、現像液によって突起 1 1 0' の材料が必要以上に除去されることが確実に防止される。

また、ゲートバス本体部 5 1 0 及びゲート端子 6 は被覆膜 1 0 0 で覆われているため、感光性膜 1 1 0 を現像している間に、ゲートバス本体部 5 1 0 に含有される  $Mo$  及び  $Al$  並びにゲート端子 6 に含有される  $In_2O_3$  が現像液に浸されることが防止される。従って、反応式 (5) 及び (6) が起こることが確実に防止され、この結果、ゲート端子 6 の抵抗値が高くなってしまいうことが防止される。

突起 1 1 0' を形成した後、これらの突起 1 1 0' をポストベークする (図 2 0 参照)。

図 2 0 は、突起 1 1 0' がポストベークされた後の基板の断面図である。

突起 1 1 0' をポストベークすることにより、突起 1 1 0' が溶融し、略円柱形状の突起 1 1 0' から半球形状の突起 1 1 が形成される。尚、図 2 0 では、ドレイン電極 4 及びゲート端子 6 は被覆膜 1 0 0 で覆われているが、ドレイン電極 4 は後述する反射電極 1 3 (図 1 参照) に電氣的に接続される必要があり、  
5 一方、ゲート端子 6 はゲートドライバ (図示せず) に電氣的に接続される必要がある。従って、ドレイン電極 4 及びゲート端子 6 が被覆膜 1 0 0 で覆われたままであると、ドレイン電極 4 と反射電極 1 3 との電氣的接続及びゲート端子 6 とゲートドライバとの電氣的接続を確保することができない。そこで、多数の突起 1 1 を形成した後、ドレイン電極 4 及びゲート端子 6 を露出させるため  
10 に、これらの突起 1 1 をエッチングマスクとして、被覆膜 1 0 0 をエッチングする (図 2 1 参照)。

図 2 1 は、被覆膜 1 0 0 がエッチングされた後の基板の断面図である。

突起 1 1 をエッチングマスクとして被覆膜 1 0 0 をエッチングすることにより、突起 1 1 の各々の下に被覆膜 1 0 0 の膜片 1 0 が残るとともにドレイン電極 4 及びゲート端子 6 が露出する。ここで、注意しておきたいことは、被覆膜  
15 1 0 0 の材料にどのような材料を選択するかということである。被覆膜 1 0 0 をエッチングする場合、ドレイン電極 4 及びゲート端子 6 に被覆膜 1 0 0 の残渣が残らないようにするために、通常、被覆膜 1 0 0 はオーバエッチングされる。従って、例えば、被覆膜 1 0 0 の材料を、この被覆膜 1 0 0 の直下に存在  
20 するゲート絶縁膜 8 の材料と同じ材料にしてしまうと、被覆膜 1 0 0 をエッチングすることによって、被覆膜 1 0 0 だけでなく、エッチングされてはならないゲート絶縁膜 8 もエッチングされてしまい、T F T 等の信頼性が低下する恐れがある。従って、被覆膜 1 0 0 の材料のエッチング速度と、ゲート絶縁膜 8 の材料のエッチング速度との比 (エッチング選択比) は、十分大きいことが要  
25 求される。このエッチング選択比が十分大きければ、被覆膜 1 0 0 をオーバエッチングしても、ゲート絶縁膜 8 がほとんどエッチングされないようにすることができる。例えば、ゲート絶縁膜 8 の材料が  $\text{SiN}_x$  又は  $\text{SiO}_2$  の場合、

被覆膜 100 の材料は例えば酸化モリブデンクロムが好ましい。

被覆膜 100 をエッチングした後、平坦化膜 12 を形成する (図 22 参照)。

図 22 は、平坦化膜 12 が形成された基板の断面図である。

この平坦化膜 12 は、ドレイン電極 4 の一部を露出させるための孔 12a を  
5 有する。平坦化膜 12 の下には多数の突起 11 が存在しているため、この平坦  
化膜 12 の表面には、多数の突起 11 の形状を反映して多数の凹凸が形成され  
る。

下地層を形成した後、A1 を主成分とする A1 膜を形成し、この A1 膜をパ  
ターニングすることにより、各画素領域に反射電極 13 を形成する (図 1 及び  
10 図 22 参照)。このようにして TFT アレイ基板 20 が形成される。

以上説明したように、本実施形態では、感光性膜 110 を形成する前に被覆  
膜 100 を形成しているため (図 17 参照)、感光性膜 110 を現像している  
間、ゲート電極 9、ゲートバス本体部 510 及びゲート端子 6 は被覆膜 100  
によって現像液から保護されている。従って、感光性膜 110 を現像しても、  
15 反応式 (2) 及び (3) 並びに反応式 (5) 及び (6) が起こることが確実に  
防止され、突起 110' (又は突起 11) の材料が必要以上に除去される問題  
及びゲート端子 6 の抵抗値が高くなるという問題を回避することができる。

尚、第 1 実施形態では、反応式 (2) 及び (3) が起きることを防止するた  
めに、被覆膜 100 は、ゲート電極 9 (及びゲートバス本体部 510) を構成  
20 する MoCr 膜 91' と AlCu 膜 92' との両方を覆うように形成されてい  
る。しかしながら、MoCr 膜 91' と AlCu 膜 92' との両方を被覆膜 1  
00 で覆わなくても、MoCr 膜 91' と AlCu 膜 92' とのうちのいずれ  
か一方のみを覆えば、反応式 (2) 及び (3) が起きることを防止できること  
に注意されたい。但し、MoCr 膜 91' と AlCu 膜 92' とのうちのい  
25 ずれか一方のみを覆うように被覆膜 100 を形成するよりも、MoCr 膜 91'  
と AlCu 膜 92' との両方を覆うように被覆膜 100 を形成する方が容易に  
行えるため、第 1 実施形態では、被覆膜 100 を、MoCr 膜 91' と AlC

u 膜 9 2' との両方を覆うように形成している。

また、第 1 実施形態では、反応式 (5) 及び (6) が起きることを防止するために、被覆膜 1 0 0 は、ゲートバス本体部 5 1 0 とゲート端子 6 との両方を覆うように形成されている。しかしながら、ゲートバス本体部 5 1 0 とゲート端子 6 との全てを被覆膜 1 0 0 で覆わなくても、ゲートバス本体部 5 1 0 とゲート端子 6 とのうちのいずれか一方のみを覆えば、反応式 (5) 及び (6) が起きることを防止できることにも注意されたい。

更に、第 1 実施形態では、導電膜 9 3 を A l C u 膜 9 2 / M o C r 膜 9 1 の二層構造としているため、ゲート電極 9 及びゲートバス本体部 5 1 0 は、A l C u 膜 9 2' / M o C r 膜 9 1' の二層構造を有している。しかしながら、ゲート電極 9 及びゲートバス本体部 5 1 0 が、A l C u 膜 9 2' / M o C r 膜 9 1' の二層構造の代わりに、例えば、A l C u 膜 / M o C r 膜 / A l C u 膜の三層構造であっても、本発明を適用することができる。このような三層構造であっても、被覆膜 1 0 0 でこの三層構造の積層膜を覆うことによって、やはり、上記の反応式 (2)、(3)、(5) 及び (6) が起きることを防止できる。

また、第 1 実施形態では、ゲート端子 6 の材料として I T O が使用された場合について説明したが、I T O に代えて例えば I Z O 使用された場合でも、本発明を適用することによって、上記の反応式 (2)、(3)、(5) 及び (6) が起きることを防止できる。

## 20 [実施形態 2]

図 2 3 は、ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第 2 実施形態の T F T アレイ基板 2 0 0 の一部断面図である。

以下、T F T アレイ基板 2 0 0 の製造方法について説明する。

先ずガラス基板 1 上に、ゲート電極 2 0 1、ゲート絶縁膜 2 0 2、a - S i 層 2 0 3 及び保護膜 2 0 4 を形成する (図 2 4 参照)。

図 2 4 は、ゲート電極 2 0 1、ゲート絶縁膜 2 0 2、a - S i 層 2 0 3 及び保護膜 2 0 4 が形成された基板を示す断面図である。



保護膜 204 を形成した後、ソース電極等の材料を用いて導電膜を形成する。

図 25 は、導電膜が形成された基板の断面図である。

ここでは、導電膜として、ITO 膜 205 と MoCr 膜 206 との二層膜が形成される。このように ITO 膜 205 と MoCr 膜 206 とを形成した後、

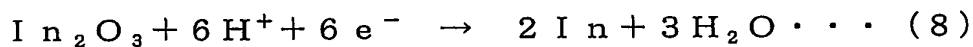
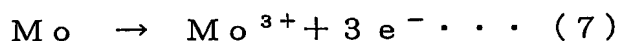
5 これらの層 205 及び 206 をウエットエッチングする。

図 26 は、ITO 膜 205 と MoCr 膜 206 とをウエットエッチングした後の基板の断面図である。

ITO 膜 205 と MoCr 膜 206 とを連続的にウエットエッチングすることにより、ウエットエッチングされた ITO 膜 205' と MoCr 膜 206' と

10 ことからなるソース電極 207、ドレイン電極 208 及びソースバス (図示せず) が形成される。

このようにソース電極 207 及びドレイン電極 208 等を形成した後、反射電極 212 を形成する前に、反射電極 212 (図 23 参照) の下地層を形成する。しかしながら、この下地層を従来のやり方で形成しようとする、下地層  
15 の材料である感光性樹脂を現像している間に、ITO 膜 205' と MoCr 膜 206' とが現像液に浸された状態となり、以下に示すような電池反応が生じると考えられる。



20 Mo の平衡電極電位は、 $\text{In}_2\text{O}_3$  の平衡電極電位より小さいため (式 (4) 参照)、MoCr 膜 206' 側において電子を生成する反応式 (7) が優先的に起こると考えられる。反応式 (7) の反応が起こることによって、 $\text{Mo}^{3+}$  が発生するとともに電子 ( $e^-$ ) が発生する。この発生した電子の一部は、MoCr 膜 206' から ITO 膜 205' に到達し、ITO 膜 205' で反応式 (8)  
25 に示すような化学反応が起き、この結果 In が生成すると考えられる。このような In の発生は ITO 膜 205' の抵抗を高くし、結局ソース電極 207 及びドレイン電極 208 等を高抵抗にするという問題がある。

そこで、第2実施形態では、ソース電極207及びドレイン電極208等を形成した後、感光性樹脂を塗布する前に、第1実施形態と同様に被覆膜を形成する。

図27は、被覆膜209が形成された基板を示す断面図である。

- 5 ゲート絶縁膜202の材料が $\text{SiN}_x$ 又は $\text{SiO}_2$ の場合、被覆膜209の材料として、例えば酸化モリブデンクロムが好ましい。被覆膜209を形成した後、図18乃至図20を参照しながら説明したやり方と同様のやり方で、多数の突起を形成する（図28参照）。

図28は、多数の突起210が形成された基板を示す断面図である。

- 10 多数の突起210を形成した後、これらの多数の突起210をエッチングマスクとして被覆膜209をエッチングする。このエッチングによって、図23に示すように、突起210の下に被覆膜209の膜片209'が残る。被覆膜209をエッチングした後、平坦化膜211（図23参照）を形成し、反射電極212が形成される（図23参照）。このようにして、TFTアレイ基板200が製造される。

- 第2実施形態においては、突起210の材料である感光性樹脂を塗布する前に、被覆膜209を形成しているため、突起210の材料である感光性樹脂を現像している間、 $\text{MoCr}$ 膜206'及びITO膜205'が現像液に浸されることが確実に防止される。従って、反応式(7)及び(8)で表される反応は起きず、ITO膜205'が損傷を受けることが防止される。この結果、ソース電極207、ドレイン電極208及びソースバス（図示せず）を低抵抗に保持することができる。

- また、第2実施形態では、反応式(7)及び(8)が起きることを防止するために、被覆膜209は、ソース電極207等を構成するITO膜205'と25  $\text{MoCr}$ 膜206'との両方を覆うように形成されている。しかしながら、ITO膜205'及び $\text{MoCr}$ 膜206'の両方を被覆膜209で覆わなくても、ITO膜205'と $\text{MoCr}$ 膜206'とのうちのいずれか一方のみを覆えば、

反応式(7)及び(8)が起きることを防止することができることに注意されたい。但し、ITO膜205'及びMoCr膜206'とのうちのいずれか一方のみを覆うように被覆膜209を形成するよりも、ITO膜205'とMoCr膜206'との両方を覆うように被覆膜209を形成する方が容易に行えるため、第2実施形態では、被覆膜209を、ITO膜205'とMoCr膜206'との両方を覆うように形成している。

### [実施形態3]

図29は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第3実施形態のTFTアレイ基板300の一部平面図、図30は、図29のI-I方向から見た断面図、図31は、図29のII-II方向から見た断面図である。

図29の左側はTFT及び反射電極13等が形成される表示領域であり、右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFTアレイ基板300の製造方法について説明する。

先ずガラス基板1上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51、ゲート端子6及び犠牲電極60を形成する(図32参照)。

図32は、ゲートバス端部51及び犠牲電極60等が形成された基板の一部平面図、図33は、図32のIII-III方向から見た断面図、図34は、図32のIV-IV方向から見た断面図である。

図32に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51、ゲート端子6及び犠牲電極60が形成されている。ゲートバス端部51は、後述するゲートバス本体部510(図40及び図41参照)に直に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有している。また、犠牲電極

60は、犠牲電極本体部60aと、後述するゲートバス本体部510に接続される犠牲電極接続部60bとを有する。犠牲電極60は、ゲート端子6よりも表示領域に近い位置に形成されている。この犠牲電極60自体は、TFTアレイ基板300の回路動作に寄与するものではない。しかしながら、この犠牲電極60は、TFTアレイ基板300の製造中にゲート端子6が損傷してしまうことを防止する作用を有する。この犠牲電極60がTFTアレイ基板300の製造中にどのようにしてゲート端子6の損傷を防止するかについては後に詳述する。

図33に示すように、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51は、ITOを含有するITO部25とMoCrを含有するMoCr部26とからなる二層構造を有している。このように、これらゲートバス端部51等をITO部25の単層構造ではなく、ITO部25とMoCr部26との二層構造とすることによって、これらゲートバス端部51等の抵抗を低くすることができる。ここでは、ゲートバス端部51の接続部51aはITO部25とMoCr部26との二層構造を有しているが、接続部51aをITO部25のみの単層構造としてもよい。この場合、ゲートバス端部51の接続部51aがITO部25のみの単層構造であっても、ゲートバス端部51の延長部51bをITO部25とMoCr部26との二層構造とすることによって、ゲートバス端部51自体の抵抗値を十分に低くすることができる。ただし、十分に低い抵抗値が得られるのであれば、ゲートバス端部51等はITO部25のみの単層構造であってもよい。

また、図34に示すように、犠牲電極60は、犠牲電極接続部60bのみがITO部25とMoCr部26との二層構造を有しており、犠牲電極本体部60aは、ITO部25のみから構成されている。ゲート端子6はITO部25のみから構成されている。

これら犠牲電極60等を形成した後、a-Si層及びゲート絶縁膜を形成する（図35乃至図37参照）。

図 3 5 は、基板 1 上に a-Si 層 7 及びゲート絶縁膜 8 が形成された基板の一部平面図、図 3 6 は、図 3 5 の V-V 方向から見た断面図、図 3 7 は、図 3 5 の VI-VI 方向から見た断面図である。

a-Si 層 7 を形成した後、a-Si 層 7 が形成された基板 1 にゲート絶縁膜 8 が形成される。このゲート絶縁膜 8 は孔 8 a、8 b、8 c、8 d 及び 8 e を有するようにパターンニングされている。孔 8 a はドレイン電極 4 を露出するための孔である。孔 8 b は犠牲電極接続部 6 0 b を露出するための孔である。孔 8 c は犠牲電極本体部 6 0 a を露出するための孔である。孔 8 d はゲートバス端部 5 1 の接続部 5 1 a を露出するための孔である。孔 8 e はゲート端子 6 を露出するための孔である。

このような孔 8 a 乃至 8 e を有するゲート絶縁膜 8 を形成した後、ゲート電極及びゲートバス本体部の材料を用いて導電膜を形成する（図 3 8 及び図 3 9 参照）。

図 3 8 及び図 3 9 は、導電膜 9 3 が形成された基板の断面図である。図 3 8 は、図 3 6 に対応する断面図であり、図 3 9 は、図 3 7 に対応する断面図である。

導電膜 9 3 は、Mo を主成分とし Cr が添加された材料からなる MoCr 膜 9 1 と、Al を主成分とし Cu が添加された材料からなる AlCu 膜 9 2 とを有する。このように MoCr 膜 9 1 と AlCu 膜 9 2 とを形成した後、これらの膜 9 1 及び 9 2 をウェットエッチングする（図 4 0 乃至図 4 2 参照）。

図 4 0 は、MoCr 膜 9 1 と AlCu 膜 9 2 とがウェットエッチングされた後の基板の一部平面図、図 4 1 は、図 4 0 の VII-VII 方向から見た断面図、図 4 2 は、図 4 0 の VIII-VIII 方向から見た断面図である。

AlCu 膜 9 2 と MoCr 膜 9 1 とを連続的にウェットエッチングすることにより、図 4 1 に示すように、MoCr 膜 9 1' と AlCu 膜 9 2' との二層構造を有するゲート電極 9 及びゲートバス本体部 5 1 0 が形成される。ゲートバス本体部 5 1 0 は図 4 0 に示すように x 方向に延在するように形成されて

いる。このゲートバス本体部 5 1 0 の末端 5 1 0 a は、ゲート絶縁膜 8 の孔 8 d (図 3 6 参照) を通じてゲートバス端部 5 1 の接続部 5 1 a に接続されている。ゲートバス端部 5 1 とゲートバス本体部 5 1 0 とによってゲートバス 5 が構成される。また、ゲートバス本体部 5 1 0 は、末端 5 1 0 a から表示領域に  
5 向かう途中位置に、幅が広がっている幅広部 5 1 0 b を有する。この幅広部 5 1 0 b は、ゲート絶縁膜 8 の孔 8 b (図 3 6 参照) を通じて犠牲電極接続部 6 0 b に接続されている。ゲート電極 9 はゲートバス本体部 5 1 0 に繋がるように形成されている。

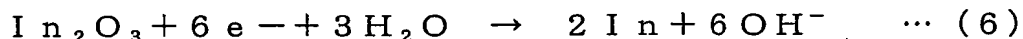
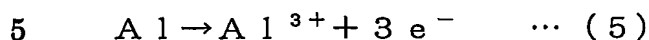
また、A l C u 膜 9 2 及び M o C r 膜 9 1 をウエットエッチングすることにより、ゲート端子 6 及び犠牲電極本体部 6 0 a が露出する。  
10

このようにしてゲート電極 9 及びゲートバス本体部 5 1 0 を形成した後、反射電極 1 3 の下地層を構成する突起 1 1 (図 4 3 参照) を形成する。

図 4 3 は、突起 1 1 が形成された直後の基板の一部平面図である。尚、突起 1 1 は白丸で示されていることに注意されたい。

突起 1 1 は、ゲート電極 9 及びゲートバス本体部 5 1 0 が形成された基板に感光性膜を形成し、この感光性膜を突起 1 1 のパターンが残るように、露光、現像及びベーキングすることによって形成される。現像工程中、感光性膜の不要な部分は現像液により除去され、この結果、感光性膜で覆われていたゲート電極 9 及びゲートバス本体部 5 1 0 の各々の一部が露出する。従って、ゲート  
20 電極 9 及びゲートバス本体部 5 1 0 は一時的に現像液に浸された状態となる。また、感光性膜の、犠牲電極本体部 6 0 a とゲート端子 6 とを覆っていた部分も、現像液により完全に除去され、この結果、犠牲電極本体部 6 0 a 及びゲート端子 6 も一時的に現像液に浸された状態となる。ゲート電極 9 及びゲートバス本体部 5 1 0 は M o C u 膜 9 1' と A l C u 膜 9 2' とから構成されているため、A l 及び M o を含有している。一方、ゲート端子 6 及び犠牲電極本体部  
25 6 0 a は  $\text{In}_2\text{O}_3$  を含有している。これらの金属 A l、M o 及び  $\text{In}_2\text{O}_3$  の平衡電極電位は (4) 式で表されるため、平衡電極電位が最も小さいのは A l で

あり、一方、平衡電極電位が最も大きいのは  $\text{In}_2\text{O}_3$  である。従って、露出したゲート電極 9 及びゲートバス本体部 510 等が現像液に浸されることにより、図 16 の説明において参照した反応式 (5) 及び (6) で表される電池反応が起きると考えられる。以下に、反応式 (5) 及び (6) を再度示す。



Al は  $\text{In}_2\text{O}_3$  よりも平衡電極電位が小さいため、ゲート電極 9 及びゲートバス本体部 510 の AlCu 膜 92' では電子 ( $\text{e}^-$ ) を放出する反応式 (5) が優先的に起きると考えられる。ここで、ゲート電極 9 及びゲートバス本体部 510 を構成する AlCu 膜 92' を、図 43 に示すように、ゲート端子 6 の近傍部分 A、犠牲電極 60 の近傍部分 B、及び表示領域の部分 C の 3 つの部分に分け、各部分 A、B 及び C で生成する電子の挙動について以下に考察する。

部分 A はゲート端子 6 と犠牲電極 60 との間に形成されているため、この部分 A で生じる電子は、ゲート端子 6 及び犠牲電極 60 に流入すると考えられる。一方、部分 B 及び C で生じた電子の大部分は、ゲート端子 6 に向かって流れるが、このゲート端子 6 に向かう途中位置には、このゲート端子 6 と同じ材料で形成された犠牲電極 60 が形成されている。従って、部分 B 及び C で生じた電子の大部分は、ゲート端子 6 に流入する前に、ゲートバス本体部 510 の幅広部 510b を経由して犠牲電極 60 に流入すると考えられる。つまり、部分 B 及び C で生じた電子の大部分は犠牲電極 60 に流入し、ゲート端子 6 に流入する電子はわずかであると考えられる。また、部分 A 内の AlCu 膜 92' の長さは、部分 C 内の AlCu 膜 92' の長さに比べて十分に長い。従って、反応式 (5) によって部分 A で生じる電子の数は、部分 C で生じる電子の数よりも十分に多いと考えることができる。上記のことから、部分 A、B 及び C の全体で生じる電子の大部分は、犠牲電極 60 に流入すると考えることができる。従って、犠牲電極 60 では反応式 (6) は起きやすいが、ゲート端子 6 では反応式 (6) は起きにくく、その結果、犠牲電極 60 は大きな損傷を受けるが、一

方、ゲート端子6では損傷を受けにくいと考えられる。

このように、第3実施形態では、感光性膜を現像したときに、ゲート端子6だけでなく犠牲電極本体部60aも露出させているが、ここで、ゲート端子6のみが露出し、犠牲電極本体部60aは露出しないと仮定してみる。この場合、  
5 犠牲電極本体部60aは現像液に接触しないため、反応式(6)は、ゲート端子6で集中して起き、その結果、ゲート端子6は多大な損傷を受けることが考えられる。

しかしながら、上記のように、第3実施形態では、ゲート端子6だけでなく犠牲電極本体部60aも露出するため、犠牲電極60がゲート端子6の犠牲とな  
10 なって損傷を受ける。この犠牲電極60自体はTFTアレイ基板300の動作には全く関与しない電極である。従って、犠牲電極60が損傷を受けてもTFTアレイ基板300の動作には影響がない。また、犠牲電極60がゲート端子6の犠牲とな  
15 って損傷を受けるため、ゲート端子6はほとんど損傷を受けず、ゲート端子6の抵抗値は低く保持される。従って、犠牲電極60を形成しておくことによって、TFTアレイ基板300の動作に影響を与えずにゲート端子6の抵抗値を低く保持することができる。尚、犠牲電極60の犠牲電極本体部60aの面積が小さすぎると、犠牲電極60は、ゲート端子6を電池反応から保護する機能を十分に発揮することができないので、犠牲電極60の犠牲電極  
20 本体部60aの面積は、広いことが好ましい。

上記の説明では、犠牲電極60の働きによって、AlCu膜92'とゲート  
25 端子6( $\text{In}_2\text{O}_3$ )との間の電池反応が起きにくくなることについて記載したが、ここで、犠牲電極60が、AlCu膜92'とMoCu膜91'との間の電池反応に与える影響についても考察してみる。AlCu膜92'とMoCu膜91'の間では、反応式(2)及び(3)(AlとMoとの間の電池反応)が起  
30 こると考えられる。しかしながら、式(4)に表したように、Moの平衡電極電位は、 $\text{In}_2\text{O}_3$ の平衡電極電位よりも小さい値を有する。従って、AlCu膜92'とMoCu膜91'との間の電池反応(反応式(2)及び(3))



は、AlCu膜92'と犠牲電極60 ( $\text{In}_2\text{O}_3$ ) との間の電池反応 (反応式 (5) 及び (6)) よりも起きにくい。つまり、MoCr膜91' 及びAlCu膜92' が犠牲電極60に電氣的に接続されていることによって、MoCr膜91' とAlCu膜92' との間の反応式 (2) 及び (3) は生じにくくな  
5 っている。従って、反応式 (2) 及び (3) が原因で突起11の材料が必要以上に除去されるという現象を生じにくくすることもできる。

図43に示すように突起11を形成した後、平坦化膜12を形成する (図29乃至図31参照)。このようにして、突起11及び平坦化膜12からなる下地層が形成される。下地層を形成した後、反射電極13 (図29乃至図31参  
10 照) が形成される。このようにして、TFTアレイ基板300が製造される。

第3実施形態では、TFTアレイ基板300の回路動作に全く寄与しない犠牲電極60をゲートバス本体部510に接続することにより、犠牲電極60がゲート端子6の犠牲となって反応式 (6) による損傷を受ける。従って、ゲート端子6が損傷を受けることを効率よく防止でき、ゲート端子6を低抵抗に保  
15 持することが可能となる。

尚、上記の例では、突起11を形成する前に犠牲電極60の犠牲電極本体部60aを露出させることができるようにするため、図32乃至図42を参照しながら説明した手順で、犠牲電極60の犠牲電極本体部60aが露出した基板を製造している。しかしながら、別のやり方でも突起11を形成する前に犠牲  
20 電極60の犠牲電極本体部60aを露出させることができる。以下に、この別のやり方の一例について、図44乃至図56を参照しながら説明する。

図44は、ゲートバス端部51等が形成された基板の一部平面図、図45は、図44のI-I方向から見た断面図、図46は、図44のII-II方向から見た断面図である。

図44に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。

また、周辺領域には、ゲートバス端部 5 1、ゲート端子 6 及び犠牲電極 6 0 が形成されている。これらソースバス 3 及びゲートバス端部 5 1 等は、基板 1 に I T O 膜 / M o C r 膜の二層膜を形成し、この I T O 膜と M o C r 膜とを同一形状にパターニングすることにより形成されている。このため、ゲート端子 6 は M o C r 部 2 6 の一部分 2 6 a (図 4 4 にクロスハッチングで示されている部分) で覆われ、犠牲電極本体部 6 0 a は M o C r 部 2 6 の一部分 2 6 b (図 4 4 にクロスハッチングで示されている部分) で覆われている。しかしながら、ゲート端子 6 及び犠牲電極本体部 6 0 a にとって M o C r 部 2 6 の一部分 2 6 a 及び 2 6 b は不要であり、このため、M o C r 部 2 6 の一部分 2 6 a (以下、「M o C r 不要部 2 6 a」と呼ぶ) 及び 2 6 b (以下、「M o C r 不要部 2 6 b」と呼ぶ) は、除去しなければならない。しかしながら、図 4 4 乃至図 4 6 に示す状態において M o C r 不要部 2 6 a 及び 2 6 b を除去しようとする、M o C r 不要部 2 6 a 及び 2 6 b を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに T F T アレイ基板が製造できるように、M o C r 不要部 2 6 a 及び 2 6 b を直ぐに除去するのではなく、先に a - S i 層及びゲート絶縁膜を形成する。

尚、I T O 部 2 5 と M o C r 部 2 6 との二層体  $\alpha$  3 (図 4 5 参照) は、ゲート端部 5 1、ゲート端子 6 及び M o C r 不要部 2 6 a を構成している。また、I T O 部 2 5 と M o C r 部 2 6 との二層体  $\beta$  1 (図 4 6 参照) は、犠牲電極 6 0 及び M o C r 不要部 2 6 b を構成している。

図 4 7 は、a - S i 膜 7 及び絶縁膜 8 が形成された基板の一部平面図、図 4 8 は、図 4 7 の III - III 方向から見た断面図、図 4 9 は、図 4 7 の IV - IV 方向から見た断面図である。

a - S i 層 7 を形成した後、a - S i 層 7 が形成された基板 1 の表面を覆うようにゲート絶縁膜 8 が形成される。このゲート絶縁膜 8 は孔 8 a、8 b、8 c、8 d 及び 8 e を有する。孔 8 a はドレイン電極 4 を露出するための孔である。孔 8 b は犠牲電極接続部 6 0 b を露出するための孔である。孔 8 c は犠牲

電極本体部 60a を覆う MoCr 不要部 26b を露出するための孔である。孔 8d はゲートバス端部 51 の接続部 51a を露出するための孔である。孔 8e はゲート端子 6 を覆う MoCr 不要部 26a を露出するための孔である。

このような孔 8a 乃至 8e を有するゲート絶縁膜 8 を形成した後、ゲート電極及びゲートバス本体部を形成するために、図 38 及び図 39 に示したような導電膜 93 を形成する（図 50 及び図 51 参照）。

図 50 及び図 51 は、導電膜 93 が形成された基板の断面図である。図 50 は、図 48 に対応する断面図であり、図 51 は、図 49 に対応する断面図である。

導電膜 93 は、MoCr 膜 91 と AlCu 膜 92 との二層構造を有する。このように AlCu 膜 92 / MoCr 膜 91 の導電膜 93 を形成した後、この導電膜 93 をフォトリソグラフィ技術を用いてパターニングする（図 52 乃至図 54 参照）。

図 52 は、導電膜 93 がパターニングされた後の基板の一部平面図、図 53 は、図 52 の V-V 方向から見た断面図、図 54 は、図 52 の VI-VI 方向から見た断面図である。

導電膜 93 はウェットエッチングされ、レジスト膜 Res で覆われている導電膜 93 の部分は除去されずに残るが、レジスト膜 Res で覆われていない導電膜 93 の部分は除去される。この結果、レジスト膜 Res の下にはゲート電極 9 及びゲートバス本体部 510 が形成されるとともに、MoCr 不要部 26a 及び 26b が露出する。ここで、ゲート端子 6 は MoCr 不要部 26a で覆われており、犠牲電極本体部 60a は MoCr 不要部 26b で覆われていることに注意されたい。ゲート端子 6 にとってこの MoCr 不要部 26a は不要であるため、この MoCr 不要部 26a は除去される必要がある。一方、犠牲電極 60 がゲート端子 6 の損傷を抑制するように機能するには図 43 を参照しながら説明したように犠牲電極本体部 60a は露出している必要があるため、MoCr 不要部 26b も除去される必要がある。そこで、導電膜 93 をウェッ

トエッチングした後、MoCr不要部26a及び26bもウエットエッチングする（図55及び図56参照）。

図55及び図56は、MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。図55は、図53に対応する断面図であり、図56は、図54に対応する断面図である。

導電膜93のMoCr膜91をエッチングした後、MoCr不要部26a及び26bもエッチングすることによって、MoCr不要部26a及び26bが除去され、ゲート端子6及び犠牲電極本体部60aが表面に露出した導電部所有体Dが製造される。MoCr不要部26a及び26bを上記のようにしてエッチングすることにより、このMoCr不要部26a及び26bを除去するための専用のフォトリソグラフィ工程を行わなくてもゲート端子6及び犠牲電極本体部60aを露出させることができる。MoCr不要部26a及び26bを除去した後、レジスト膜Resを剥離する。

レジスト膜Resの剥離後、下地層及び反射電極が形成される。

この例では、導電膜93をエッチングした直後（即ち、ゲート電極9及びゲートバス本体部510が形成された直後）では、犠牲電極本体部60aはまだMoCr不要部26bで覆われている（図52参照）が、このMoCr不要部26bは、導電膜93のエッチングに続いて連続的にエッチングされる。従って、下地層の突起11を形成する前に、犠牲電極本体部60aを露出させることができ、ゲート端子6が損傷を受けにくくなるようにすることができる。

また、第3実施形態では、ゲート端子6の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、突起11の材料が必要以上に除去されるという現象を生じにくくし、更にゲート端子6が損傷を受けにくくなるようにすることができる。

#### [実施形態4]

図57は、トップゲート構造を有する反射型液晶表示装置に用いられる本発

明による第4実施形態のTFTアレ基板400の一部平面図、図58は、図57のI-I方向から見た断面図、図59は、図57のII-II方向から見た断面図である。

図57の左側はTFT及び反射電極等が形成される表示領域であり、右側は、  
5 ESDトランジスタ及びソース端子181等が形成される周辺領域である。このESDトランジスタは、表示領域内の各画素毎に設けられるTFTトランジスタの静電破壊を防止するためのものである。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFTアレ基板400の製造方法について説明する。

10 先ずガラス基板1上に、ソースバス犠牲電極等を形成する（図60参照）。

図60は、ソースバス191及び犠牲電極171等が形成された基板の一部平面図、図61は、図60のIII-III方向から見た断面図、図62は、図60のIV-IV方向から見た断面図である。

基板1の表示領域内には、TFTトランジスタのソース電極151及びドレイン電極152が形成されている。周辺領域には、ESDトランジスタのソース電極161及びドレイン電極162と、犠牲電極171と、ソース端子181とが形成されている。更に、表示領域から周辺領域に渡ってソースバス191が、x方向に延在するように形成されている。TFTトランジスタのソース電極151、ESDトランジスタのソース電極161、犠牲電極171及びソ  
20 ース端子181は、ソースバス191に繋がるように形成されている。犠牲電極171は犠牲電極本体部171aと犠牲電極接続部171bとを有しており、犠牲電極本体部171aは犠牲電極接続部171bを通じてソースバス191に接続されている。

TFTトランジスタのソース電極151及びドレイン電極、ESDトランジスタのソース電極161及びドレイン電極162、並びにソースバス191は、  
25 ITO部25とMoCr部26とからなる二層構造を有している。このように、これらソースバス191等をITO部25の単層構造ではなく、ITO部25

とMoCr部26との二層構造とすることによって、これらソースバス191等の抵抗を低くすることができる。犠牲電極171は、犠牲電極接続部171bのみがITO部25とMoCr部26とからなる二層構造を有しており、犠牲電極本体部171aは、ITO部25のみから構成されている。ソース端子181はITO部25のみから構成されている。尚、ITO部25とMoCr部26との二層体α4（図61参照）は、ソースバス191、ソース端子181及び犠牲電極171を構成している。

このような犠牲電極171等は、基板1上にMoCr膜／ITO膜の二層膜を形成し、この二層膜を、図60乃至図62に示す形状にパターンニングすることにより形成することができる。

犠牲電極171等を形成した後、a-Si層及びゲート絶縁膜を形成する（図63乃至図65参照）。

図63は、ガラス基板1上にa-Si層153及び163とゲート絶縁膜160とが形成された基板の一部平面図、図64は、図63のV-V方向から見た断面図、図65は図61のVI-VI方向から見た断面図である。

表示領域には、TFTトランジスタのソース電極151とドレイン電極152との間にa-Si層153が形成され、周辺領域には、ESDトランジスタのソース電極161とドレイン電極162との間にa-Si層163が形成される。このようにa-Si層153及び163を形成した後、a-Si層153及び163が形成された基板1にゲート絶縁膜160が形成される。このゲート絶縁膜160は孔160a、160b、160c、160d及び160eを有するようにパターンニングされている。孔160aはドレイン電極152を露出するための孔である。孔160bはESDトランジスタのドレイン電極162を露出するための孔である。孔160cはソースバス191を露出するための孔である。孔160dは犠牲電極本体部171aを露出するための孔である。孔160eはソース端子181を露出するための孔である。

このような孔160a、160b、160c、160d及び160eを有す

るゲート絶縁膜 160 を形成した後、ゲートバス及び ESD 配線等の材料を用いて導電膜を形成する（図 66 及び図 67 参照）。

図 66 及び図 67 は、導電膜 177 が形成された基板の断面図である。図 66 は、図 64 に対応する断面図であり、図 67 は、図 65 に対応する断面図である。

導電膜 177 は、Mo を主成分とし Cr が添加された材料からなる MoCr 膜 175 と、Al を主成分とし Cu が添加された材料からなる AlCu 膜 176 とを有する。このように MoCr 膜 175 と AlCu 膜 176 とを形成した後、これらの膜 175 及び 176 をパターンニングしてゲートバス等を形成する（図 68 及び図 69 参照）。

図 68 は、MoCr 膜 175 と AlCu 膜 176 とがパターンニングされた後の基板の一部平面図、図 69 は、図 68 の VII-VII 方向から見た断面図である。

AlCu 膜 176 及び MoCr 膜 175 はウェットエッチングされ、これによって、表示領域には TFT トランジスタのゲート電極（以下、「TFT ゲート電極」と呼ぶ）154 及びゲートバス 155 が形成され、周辺領域には、ESD トランジスタのゲート電極（以下、単に「ESD ゲート電極」と呼ぶ）164 及び ESD 配線 165 が形成される。これら TFT ゲート電極 154、ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 は、エッチングされた MoCr 膜 175' と AlCu 膜 176' とからなる二層構造を有する（図 69 参照）。ゲートバス 155 は、図 68 に示すように、y 方向に延在するように形成されており、ゲート電極 154 はこのゲートバス 155 に繋がるように形成されている。ESD ゲート電極 164 は、ゲート絶縁膜 160 の孔 160c（図 64 参照）を通じてソースバス 191 に接続されている。ESD 配線 165 は、ゲート絶縁膜 160 の孔 160b（図 64 参照）を通じて ESD トランジスタのドレイン電極 162 に接続されている。

また、AlCu 膜 176 及び MoCr 膜 175 がウェットエッチングされる

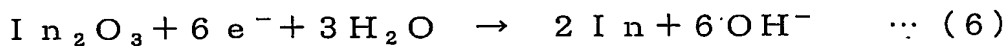
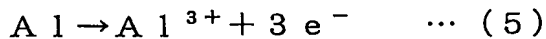
ことにより、ソース端子 181 及び犠牲電極本体部 171a が露出する。

このように ESD ゲート電極 164 等を形成した後、反射電極に所望の反射特性を持たせるための下地層を構成する突起（図 70 参照）を形成する。

図 70 は、突起 11 が形成された直後の基板の一部平面図である。尚、突起 11 は白丸で示されていることに注意されたい。

突起 11 は、ESD ゲート電極 164 が形成された基板に感光性膜を形成し、この感光性膜を突起 11 のパターンが残るように、露光、現像及びベークングすることによって形成される。現像工程中、感光性膜の不要な部分は現像液により除去され、この結果、感光性膜で覆われていた TFT ゲート電極 154、  
10 ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 の各々の一部が露出する。従って、TFT ゲート電極 154、ゲートバス 155、ESD ゲート電極 164 及び ESD 配線 165 は、一時的に現像液に浸された状態となる。また、ソース端子 181 及び犠牲電極本体部 171a を覆っていた感光性膜の部分は現像液により完全に除去されるため、ソース端子 181 及び犠牲  
15 電極本体部 171a も一時的に現像液に浸された状態となる。TFT ゲート電極 154、ゲートバス 155 及び ESD 配線 165 はソース端子 181 に接続されていないが、ESD ゲート電極 164 はソースバス 191 を通じてソース端子 181 に接続されている。この ESD ゲート電極 164 は、MoCu 膜 175' と AlCu 膜 176' とから構成されているため（図 69 参照）、Al  
20 及び Mo を含有している。また、この ESD ゲート電極 164 に電氣的に接続されているソース端子 181 は  $\text{In}_2\text{O}_3$  を含有している。これらの Al、Mo 及び  $\text{In}_2\text{O}_3$  の平衡電極電位は（4）式で表されるため、平衡電極電位が最も小さいのは Al であり、一方、平衡電極電位が最も大きいのは  $\text{In}_2\text{O}_3$  である。従って、露出した ESD ゲート電極 164 及びソース端子 181 が一時的に現  
25 像液に浸されることにより、図 16 の説明において参照した反応式（5）及び（6）で表される電池反応が起きると考えられる。以下に、反応式（5）及び（6）を再度示す。





Alは $\text{In}_2\text{O}_3$ よりも平衡電極電位が小さいため、ESDゲート電極164を構成するAlCu膜176'では、電子( $\text{e}^-$ )が発生する反応式(5)が優先的に起きると考えられる。この発生した電子の大部分はソースバス191を経由してソース端子181に向かって流れるが、このソース端子181に向かう途中位置には、ソース端子181と同じ材料で形成された犠牲電極171が形成されている。従って、電子の大部分はソース端子181に流入せずに犠牲電極171に流入し、この結果、犠牲電極171は反応式(6)が原因となって大きな損傷を受けるが、ソース端子181では損傷を受けにくいと考えられる。

このように、第4実施形態では、ソース端子181だけでなく犠牲電極本体部171aも露出するため、犠牲電極171がソース端子181の犠牲となって損傷を受ける。しかしながら、この犠牲電極171自体はTFTアレイ基板400の動作には全く関与しない電極である。従って、犠牲電極171が損傷を受けてもTFTアレイ基板400の動作には影響がない。また、犠牲電極171がソース端子181の犠牲となって損傷を受けるため、ソース端子181は損傷を受けにくく、ソース端子181の抵抗値は低く保持される。従って、犠牲電極171を形成しておくことによって、TFTアレイ基板400の動作に影響を与えずにソース端子181の抵抗値を低く保持することができる。

上記の説明では、犠牲電極171の働きによって、ESDゲート電極164のAlCu膜176'とソース端子181( $\text{In}_2\text{O}_3$ )との間の電池反応が起きにくくなることについて記載したが、ここで、犠牲電極171が、ESDゲート電極164のAlCu膜176'とMoCu膜175'との間の電池反応に与える影響についても考察してみる。AlCu膜176'とMoCu膜175'の間では、反応式(2)及び(3)(AlとMoとの間の電池反応)が起こると考えられる。しかしながら、式(4)に表したように、Moの平衡電

極電位は、 $\text{In}_2\text{O}_3$ の平衡電極電位よりも小さい値を有する。従って、 $\text{AlCu}$ 膜176'と $\text{MoCu}$ 膜175'との間の電池反応(反応式(2)及び(3))は、 $\text{AlCu}$ 膜176'と犠牲電極171( $\text{In}_2\text{O}_3$ )との間の電池反応(反応式(5)及び(6))よりも起きにくい。つまり、 $\text{MoCr}$ 膜175'及び

5  $\text{AlCu}$ 膜176'が犠牲電極171に電氣的に接続されていることによって、 $\text{MoCr}$ 膜175'と $\text{AlCu}$ 膜176'との間の反応式(2)及び(3)は生じにくくなっている。従って、反応式(2)及び(3)が原因で突起11の材料が必要以上に除去されるという現象を生じにくくすることもできる。

図70に示すように突起11を形成した後、平坦化膜12(図57、図58

10 及び図59参照)を形成する。このようにして、突起11及び平坦化膜12からなる下地層が形成される。下地層を形成した後、反射電極13(図57、図58及び図59参照)が形成される。このようにして、TFTアレイ基板400が製造される。

第4実施形態では、TFTアレイ基板400の回路動作に全く寄与しない犠

15 牲電極171を、ソースバス191を通じてESDゲート電極164に電氣的に接続することにより、犠牲電極171がソース端子181の犠牲となって反応式(6)による損傷を受ける。従って、ソース端子181が損傷を受けることを効率よく防止でき、ソース端子181を低抵抗に保持することが可能となる。

20 尚、上記の例では、突起11を形成する前に犠牲電極171の犠牲電極本体部171aを露出させることができるようにするため、図60乃至図69を参照しながら説明した手順で、犠牲電極171の犠牲電極本体部171aが露出した基板を製造している。しかしながら、別のやり方でも突起11を形成する前に犠牲電極171の犠牲電極本体部171aを露出させることができる。以下に、この別のやり方の一例について、図71乃至図56を参照しながら説明

25 する。

図71は、ソースバス191等が形成された基板の一部平面図、図72は、

図 7 1 の I-I 方向から見た断面図、図 7 3 は、図 7 1 の II-II 方向から見た断面図である。

基板 1 の表示領域内には、T F T トランジスタのソース電極 1 5 1 及びドレイン電極 1 5 2 が形成されている。周辺領域には、E S D トランジスタのソース電極 1 6 1 及びドレイン電極 1 6 2 と、犠牲電極 1 7 1 と、ソース端子 1 8 1 とが形成されている。また、表示領域から周辺領域に渡ってソースバス 1 9 1 が形成されている。これらソースバス 1 9 1 等は、基板 1 に I T O 膜/MoCr 膜の二層膜を形成し、この I T O 膜と MoCr 膜とを同一形状にパターンニングすることにより形成されている。このため、ソース端子 1 8 1 は MoCr 部 2 6 の一部分 2 6 a (図 7 1 にクロスハッチングで示されている部分) で覆われ、犠牲電極本体部 1 7 1 a は MoCr 部 2 6 の一部分 2 6 b (図 7 1 にクロスハッチングで示されている部分) で覆われている。しかしながら、ソース端子 1 8 1 及び犠牲電極本体部 1 7 1 a にとって MoCr 部 2 6 の一部分 2 6 a 及び 2 6 b は不要であり、このため、MoCr 部 2 6 の一部分 2 6 a (以下、「MoCr 不要部 2 6 a」と呼ぶ) 及び 2 6 b (以下、「MoCr 不要部 2 6 b」と呼ぶ) は、除去しなければならない。しかしながら、図 7 1 乃至図 7 3 に示す状態において MoCr 不要部 2 6 a 及び 2 6 b を除去しようとすると、MoCr 不要部 2 6 a 及び 2 6 b を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに T F T アレイ基板が製造できるように、MoCr 不要部 2 6 a 及び 2 6 b を直ぐに除去するのではなく、先に a-Si 層及びゲート絶縁膜を形成する(図 7 4 乃至図 8 3 参照)。尚、I T O 部 2 5 と MoCr 部 2 6 との二層体  $\alpha$  5 (図 7 2 参照) は、ソースバス 1 9 1、ソース端子 1 8 1、犠牲電極 1 7 1、MoCr 不要部 2 6 a 及び 2 6 b を構成している。

図 7 4 は、a-Si 層 1 5 3 及び 1 6 3 とゲート絶縁膜 1 6 0 とが形成された基板の一部平面図、図 7 5 は、図 7 4 の III-III 方向から見た断面図、図 7 6 は、図 7 4 の IV-IV 方向から見た断面図である。

表示領域には、TFTトランジスタのソース電極151とドレイン電極152との間にa-Si層153が形成され、周辺領域には、ESDトランジスタのソース電極161とドレイン電極162との間にa-Si層163が形成される。このようにa-Si層153及び163を形成した後、a-Si層153及び163が形成された基板1にゲート絶縁膜160が形成される。このゲート絶縁膜160は孔160a、160b、160c、160d及び160eを有するようにパターンニングされている。孔160aはドレイン電極152を露出するための孔である。孔160bはESDトランジスタのドレイン電極162を露出するための孔である。孔160cはソースバス191を露出するための孔である。孔160dは犠牲電極本体部171aを覆っているMoCr不要部26bを露出するための孔である。孔160eはソース端子181を覆っているMoCr不要部26aを露出するための孔である。

このような孔160a、160b、160c、160d及び160eを有するゲート絶縁膜160を形成した後、ゲートバス等の材料を用いて導電膜を形成する（図77及び図78参照）。

図77及び図78は、導電膜177が形成された基板の断面図である。図77は、図75に対応する断面図であり、図78は、図76に対応する断面図である。

導電膜177は、MoCr膜175とAlCu膜176との二層構造を有する。このようにAlCu膜176/MoCr膜175の導電膜177を形成した後、この導電膜177をフォトリソグラフィ技術を用いてパターンニングする（図79乃至図81参照）。

図79は、導電膜177がパターンニングされた後の基板の一部平面図、図80は、図79のV-V方向から見た断面図、図81は、図79のVI-VI方向から見た断面図である。

導電膜177はウエットエッチングされ、レジスト膜Resで覆われている導電膜177の部分は除去されずに残るが、レジスト膜Resで覆われていな

い導電膜 177 の部分は除去される。この結果、レジスト膜  $R_{es}$  の下には TFT ゲート電極 154、ゲートバス 155、ESD 配線 165、ESD ゲート電極 164 が形成されるとともに、MoCr 不要部 26a 及び 26b が露出する。ここで、ソース端子 181 は MoCr 不要部 26a で覆われており、犠牲電極本体部 171a は MoCr 不要部 26b で覆われていることに注意されたい。ソース端子 181 にとってこの MoCr 不要部 26a は不要であるため、この MoCr 不要部 26a は除去される必要がある。一方、犠牲電極 171 がソース端子 181 の損傷を抑制するように機能するには図 70 を参照しながら説明したように犠牲電極本体部 171a は露出している必要があるため、MoCr 不要部 26b も除去される必要がある。そこで、導電膜 177 をウエットエッチングした後、MoCr 不要部 26a 及び 26b もウエットエッチングする（図 82 及び図 83 参照）。

図 82 及び図 83 は、MoCr 不要部 26a 及び 26b がウエットエッチングされた後の基板を示す断面図である。図 82 は、図 80 に対応する断面図であり、図 83 は、図 81 に対応する断面図である。

導電膜 177 の MoCr 膜 175 をエッチングした後、MoCr 不要部 26a 及び 26b もエッチングすることによって、MoCr 不要部 26a 及び 26b が除去され、ソース端子 181 及び犠牲電極本体部 171a が露出した導電部所有体 F が製造される。MoCr 不要部 26a 及び 26b を上記のようにエッチングすることによって、この MoCr 不要部 26a 及び 26b を除去するための専用のフォトリソグラフィ工程を行わなくてもソース端子 181 及び犠牲電極本体部 171a を露出させることができる。MoCr 不要部 26a 及び 26b を除去した後、レジスト膜  $R_{es}$  が剥離される。

レジスト膜  $R_{es}$  の剥離後、下地層及び反射電極が形成される。

この例では、導電膜 177 をエッチングした直後（即ち、ESD ゲート電極 164 等が形成された直後）では、犠牲電極本体部 171a はまだ MoCr 不要部 26b で覆われている（図 81 参照）が、この MoCr 不要部 26b は、

導電膜 177 のエッチングに続いて連続的にエッチングされる。従って、下地層の突起 11 を形成する前に、犠牲電極本体部 171a を露出させることができ、ソース端子 181 の損傷を抑制することができる。

また、第 4 実施形態では、ソース端子 181 の材料として ITO が使用された場合について説明したが、ITO に代えて例えば IZO 使用された場合でも、本発明を適用することによって、突起 11 の材料が必要以上に除去されるという現象を生じにくし、更にソース端子 181 が損傷を受けにくくなるようにすることができる。

#### [実施形態 5]

10 図 84 は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第 5 実施形態の TFT アレイ基板 500 の一部平面図、図 85 は、図 84 の I-I 方向から見た断面図、図 86 は、図 84 の II-II 方向から見た断面図である。

15 図 84 の左側は TFT 及び反射電極 13 等が形成される表示領域であり、右側はゲート端子 6 が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

以下、TFT アレイ基板 500 の製造方法について説明する。

先ずガラス基板 1 上に、ソース電極 2、ソースバス 3、ドレイン電極 4、ゲートバス端部 51 及びゲート端子 6 を形成する（図 87 及び図 88 参照）。

20 図 87 は、ゲート端子 6 等が形成された基板の一部平面図、図 88 は、図 87 の III-III 方向から見た断面図である。

表示領域には、ソース電極 2、ソースバス 3 及びドレイン電極 4 が形成される。ソースバス 3 は y 方向に延在するように形成されており、ソース電極 2 はこのソースバス 3 に繋がるように形成されている。また、周辺領域には、ゲートバス端部 51 及びゲート端子 6 が形成される。ゲート端子 6 はゲートバス端部 51 に繋がるように形成されている。ゲートバス端部 51 は、後述するゲートバス架橋部 53（図 98 及び図 99 参照）に接続される第 1 の接続部 51a

と、後述する犠牲電極 1 4（図 9 8 及び図 1 0 0 参照）に接続される第 2 の接続部 5 1 c と、これら接続部 5 1 a 及び 5 1 c からゲート端子 6 にまで延在する延在部 5 1 b とを有する。ソース電極 2、ソースバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、I T O を含有する I T O 部 2 5 と M o C r を含有する M o C r 部 2 6 との二層構造を有している。このような二層構造のソース電極 2、ソースバス 3、ドレイン電極 4 及びゲートバス端部 5 1 は、基板 1 上に M o C r 膜 / I T O 膜の二層膜を形成し、この二層膜をパターニングすることにより形成されている。このように、これらゲートバス端部 5 1 等を I T O 部 2 5 の単層構造ではなく、I T O 部 2 5 と M o C r 部 2 6 との二層構造とすることによって、これらゲートバス端部 5 1 等の抵抗を低くすることができる。ここでは、ゲートバス端部 5 1 の接続部 5 1 a は I T O 部 2 5 と M o C r 部 2 6 との二層構造を有しているが、接続部 5 1 a を I T O 部 2 5 のみの単層構造としてもよい。この場合、ゲートバス端部 5 1 の接続部 5 1 a が I T O 部 2 5 のみの単層構造であっても、ゲートバス端部 5 1 の延長部 5 1 b を I T O 部 2 5 と M o C r 部 2 6 との二層構造とすることによって、ゲートバス端部 5 1 自体の抵抗値を十分に低くすることができる。尚、十分に低い抵抗値が得られるのであれば、ゲートバス端部 5 1 等は I T O 部 2 5 のみの単層構造であってもよい。

また、ゲート端子 6 はゲートバス端部 5 1 に繋がるように形成されているが、このゲート端子 6 は M o C r 部 2 6 の一部分 2 6 a（図 8 7 にクロスハッチングで示されている部分）で覆われていることに注意されたい。ゲート端子 6 にとってこの M o C r 部 2 6 の一部分 2 6 a（以下、M o C r 不要部 2 6 a と呼ぶ）は不要であり、このため、この M o C r 不要部 2 6 a は除去されなければならない。しかしながら、図 8 7 及び図 8 8 に示す状態において M o C r 不要部 2 6 a を除去しようとする、M o C r 不要部 2 6 a を除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずに T F T アレイ基板が製造できるように、M o C r 不要部 2 6 a

を直ぐに除去するのではなく、先に a-Si 層等を形成する。尚、ITO 部 25 と MoCr 部 26 との二層体  $\alpha$  6 (図 88 参照) は、ゲートバス端部 51、ゲート端子 6 及び MoCr 不要部 26a を構成している。

図 89 は、a-Si 層 7、ゲート絶縁膜 8、ゲート電極 9 及びゲートバス本体部 52 が形成された基板の一部平面図、図 90 は、図 89 の IV-IV 方向から見た断面図である。

ゲートバス端部 51 等を形成した後 (図 87 及び図 88 参照)、a-Si 層 7 及びゲート絶縁膜 8 が形成し、このゲート絶縁膜 8 上に、ゲート電極 9 及びゲートバス本体部 52 が形成される。ゲートバス本体部 52 は、図 89 に示すように x 方向に延在するように形成されている。このゲートバス本体部 52 は、後述するゲートバス架橋部 53 (図 98 及び図 99 参照) に接続される接続部 52a を有する。このように、ゲート電極 9 及びゲートバス本体部 52 を形成した後、反射電極に所望の反射特性を持たせるための下地層を形成する。

図 91 は、下地層が形成された基板の一部平面図、図 92 は、図 91 の V-V 方向から見た断面図、図 93 は、図 91 の VI-VI 方向から見た断面図である。

ゲート電極 9 及びゲートバス本体部 52 を形成した後、多数の突起 11 (図 92 参照) と、この多数の突起 11 を覆う平坦化膜 12 とが形成される。このようにして、突起 11 と平坦化膜 12 とからなる下地層が形成される。この平坦化膜 12 は孔 12a、12b、12c、12d 及び 12e を有する。孔 12a はドレイン電極 4 に対応する位置に形成された孔である。孔 12b はゲートバス本体部 52 の接続部 52a を露出するための孔である。孔 12c はゲートバス端部 51 の接続部 51a に対応する位置に形成された孔である。孔 12d はゲートバス端部 51 の接続部 51c に対応する位置に形成された孔である。孔 12e はゲート端子 6 を覆う MoCr 部 26 の MoCr 不要部 26a に対応する位置に形成された孔である。

このようにして、突起 11 と平坦化膜 12 とを有する下地層が形成される。下地層の形成後、この下地層をエッチングマスクとして、ゲート絶縁膜 8 をド



ライエッチングする（図 9 4 及び図 9 5 参照）。

図 9 4 及び図 9 5 は、ゲート絶縁膜 8 がドライエッチングされた後の基板を示す断面図である。図 9 4 は図 9 2 に対応する断面図であり、図 9 5 は図 9 3 に対応する断面図である。

- 5 下地層をエッチングマスクとして、ゲート絶縁膜 8 をドライエッチングすることにより、このゲート絶縁膜 8 に、平坦化膜 1 2 の孔 1 2 a、1 2 c、1 2 d 及び 1 2 e それぞれに対応する孔 8 a、8 c、8 d 及び 8 e が形成される。孔 8 a はドレイン電極 4 を露出するための孔である。孔 8 c は、ゲートバス端部 5 1 の接続部 5 1 a を露出するための孔である。孔 8 d は、ゲートバス端部 10 5 1 の接続部 5 1 c を露出するための孔である。孔 8 e は、ゲート端子 6 を覆う MoCr 不要部 2 6 a を露出するための孔である。平坦化膜 1 2 の孔 1 2 b に対応するゲート絶縁膜 8 の部分は、ゲートバス本体部 5 2 の接続部 5 2 a で保護されているため、エッチングされない。

- 15 このようにゲート絶縁膜 8 をエッチングした後、反射電極 1 3 等を形成するための Ag 膜を形成する（図 9 6 及び図 9 7 参照）。

図 9 6 及び図 9 7 は、Ag 膜 1 3 0 が形成された基板の断面図である。図 9 6 は図 9 4 に対応する断面図であり、図 9 7 は図 9 5 に対応する断面図である。

- 20 Ag 膜 1 3 0 は、ドレイン電極 4、ゲートバス本体部 5 2 の接続部 5 2 a、ゲートバス端部 5 1 の接続部 5 1 a、ゲートバス端部 5 1 の接続部 5 1 c、及び MoCr 不要部 2 6 a に接続される。

以上のようにして、Ag 膜 1 3 0 を有する導電膜所有体 G が製造される。

このように Ag 膜 1 3 0 を形成した後、この Ag 膜 1 3 0 をフォトリソグラフィ工程を用いてウェットエッチングする（図 9 8 乃至 1 0 0 参照）。

- 25 図 9 8 は、Ag 膜 1 3 0 をウェットエッチングした直後の基板の一部平面図、図 9 9 は、図 9 8 の基板の VII-VII 方向から見た断面図、図 1 0 0 は、図 9 8 の基板の VIII-VIII 方向から見た断面図である。

Ag 膜 1 3 0 をウェットエッチングすることによって、レジスト膜 Res の

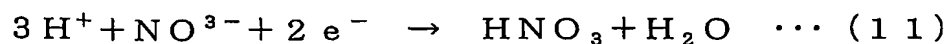
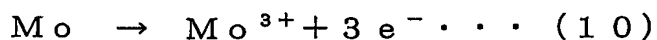
下に反射電極 1 3、ゲートバス架橋部 5 3 及び犠牲電極 1 4 が形成される。ゲートバス架橋部 5 3 を形成することにより、ゲートバス端部 5 1 とゲートバス本体部 5 2 とが電氣的に接続される。ゲートバス端部 5 1、ゲートバス本体部 5 2 及びゲートバス架橋部 5 3 によって、ゲートバス 5 が構成される。犠牲電極 1 4 は、ゲートバス端部 5 1 の接続部 5 1 c を通じて、ゲート端子 6 に電氣的に接続されている。また、A g 膜 1 3 0 をウエットエッチングすることによって、A g 膜 1 3 0 の不要な部分は除去されるため、ゲート端子 6 を覆っている M o C r 不要部 2 6 a が露出する。

ここで注意しなければならないことは、A g 膜 1 3 0 をウエットエッチングすることにより、反射電極 1 3 及びゲートバス架橋部 5 3 だけでなく、犠牲電極 1 4 も形成されることである。以下に、反射電極 1 3 及びゲートバス架橋部 5 3 だけでなく犠牲電極 1 4 も形成する理由について説明する。

上述したように、A g 膜 1 3 0 をウエットエッチングすることによって、A g 膜 1 3 0 で覆われていた M o C r 不要部 2 6 a が露出する。この M o C r 不要部 2 6 a が露出した直後では、反射電極 1 3 の側端面 1 3 a、ゲートバス架橋部 5 3 の側端面 5 3 a 及び犠牲電極 1 4 の側端面 1 4 a と、M o C r 不要部 2 6 a とがエッチング液に接触する。反射電極 1 3、ゲートバス架橋部 5 3 及び犠牲電極 1 4 の材料である A g と、M o C r 不要部 2 6 a の材料である M o との平衡電極電位の関係は ( 9 ) 式で表される。

$$20 \quad M o < A g \quad \cdots (9)$$

ゲートバス架橋部 5 3 及び犠牲電極 1 4 は、M o C r 不要部 2 6 a に電氣的に接続されており、エッチング液は電解質溶液である。従って、ゲートバス架橋部 5 3 及び犠牲電極 1 4 と M o C r 不要部 2 6 a とがエッチング液に接触すると、反応式 ( 1 0 ) 及び ( 1 1 ) で表される電池反応が生じると考えられる。



ここで、反応式(11)の $\text{NO}^{3-}$ は、エッチング液に含まれているイオンである。

Moの平衡電極電位はAgの平衡電極電位よりも小さいため、MoCr不要部26a側では、電子を放出する反応式(10)が優先的に生じると考えられる。発生した電子( $e^-$ )の一部は、MoCr不要部26aからAgを主成分とするゲートバス架橋部53に流入し、この流入した電子は、エッチング液に含まれている $\text{NO}^{3-}$ と反応し、反応式(11)を促進する。Ag膜130のエッチングは、反応式(11)が生じることによって進行するものであり、このため、反応式(11)が促進されると、Ag膜130のエッチング速度が増大する。従って、もし、犠牲電極14が存在しないと仮定すると、反応式(11)の反応がゲートバス架橋部53の近傍で集中して起き、この結果、ゲートバス架橋部53のエッチング速度が増大し、ゲートバス架橋部53の寸法が所望の値よりも更に小さくなってしまふことが考えられる。このようにゲートバス架橋部53が所望の寸法よりも小さくなると、ゲートバス架橋部53が高抵抗になったり、最悪の場合、ゲートバス本体部52とゲートバス端部51との間の電氣的接続を確保することができない場合が生じる。

これに対して、第5実施形態では、Ag膜130をウェットエッチングするときにゲートバス架橋部53の他に犠牲電極14も形成しているため、MoCr不要部26aは、ゲートバス架橋部53だけでなく犠牲電極14にも電氣的に接続されている。従って、反応式(11)が、ゲートバス架橋部53の近傍だけでなく、犠牲電極14の近傍でも生じ、この結果、反応式(11)がゲートバス架橋部53で集中して起こることが防止される。従って、犠牲電極14を備えることにより、ゲートバス架橋部53のエッチング速度の増加を緩和することができ、所望の寸法を有するゲートバス架橋部53を形成することが可能となる。

Ag膜130をウェットエッチングすることによって、MoCr部26のMoCr不要部26aが露出したら、MoCr不要部26aをドライエッチング

する。MoCr不要部26aをドライエッチングすることによって、このMoCr不要部26aを除去するための専用のフォトリソ工程を行わなくてもゲート端子6を露出させることができる。MoCr部26のMoCr不要部26aをドライエッチングした後、レジスト膜Resを剥離する。このようにして、

5 図84乃至図86に示すTF Tアレイ基板500が製造される。

また、第5実施形態では、反射電極13及びゲートバス架橋部53を形成するために、Ag膜130を形成したが、Ag膜の代わりに、例えばAg合金を有するAg合金膜を形成することができる。Ag合金膜をウェットエッチングするときに、反射電極及びゲートバス架橋部の他に犠牲電極が形成されるよう

10 に、Ag合金膜をウェットエッチングすることによって、所望の寸法を有するゲートバス架橋部を形成することが可能となる。

#### 産業上の利用の可能性

本発明によれば、感光性膜が必要以上に除去される現象を防止又は緩和する

15 電子装置製造方法、及びこの方法が適用された電子装置が得られる。

また、本発明によれば、現像液に接触した導電膜が損傷を受けてしまう現象を防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置が得られる。

更に、本発明によれば、金属膜が必要以上に除去されてしまうという現象を

20 防止又は緩和する電子装置製造方法、及びこの方法が適用された電子装置が得られる。

## 請求の範囲

1. 第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電氣的に接続された第2の導電部とを有する第1の導電部所有体であって、前記第1及び第2の導電部が表面に露出した第1の導電部所有体を形成する工程、  
前記第1の導電部所有体の前記表面に被覆膜を形成する工程、  
前記被覆膜が形成された第1の導電部所有体上に感光性膜を形成する工程、  
10 前記感光性膜を所定の露光パターンに露光する工程、及び  
前記露光された感光性膜を現像する工程、  
を有する電子装置製造方法。
2. 前記第1の導電部所有体を形成する工程が、  
15 支持体上に、前記第1の導電部に前記第2の導電部が重なるように前記第1及び第2の導電部を形成する工程を有する請求項1に記載の電子装置製造方法。
3. 前記第1の導電部所有体を形成する工程が、  
20 前記第1及び第2の導電部を形成する工程の前に、前記支持体上に絶縁膜を形成する工程を有する請求項2に記載の電子装置製造方法。
4. 前記第1の導電部所有体を形成する工程が、前記第1の導電部が絶縁膜の孔を通じて前記第2の導電部に電氣的に接続されるように、前記第1及び第2の導電部を形成する工程を有する請求項1に記載の電子装置製造方法。  
25
5. 前記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有す

る絶縁膜を形成する工程であり、

前記被覆膜を形成する工程が、酸化モリブデンクロムを含む被覆膜を形成する工程である請求項 3 又は 4 に記載の電子装置製造方法。

- 5 6. 第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 2 の導電部所有体であって、前記第 1 及び第 2 の導電部が表面に露出した第 2 の導電部所有体を形成する工程、
- 10 前記第 2 の導電部所有体の前記表面に感光性膜を形成する工程、  
前記感光性膜を所定の露光パターンに露光する工程、及び  
前記露光された感光性膜を現像する工程、  
を有する電子装置製造方法であって、  
前記第 2 の導電部所有体を形成する工程が、前記第 1 及び第 2 の導電部に電
- 15 氣的に接続された犠牲電極を有する前記第 2 の導電部所有体であって、前記犠牲電極が前記表面に露出した前記第 2 の導電部所有体を形成する工程である電子装置製造方法。
7. 前記犠牲電極が前記第 1 及び第 2 の導電部のうち的一方に直に接続さ
- 20 れている請求項 6 に記載の電子装置製造方法。
8. 前記犠牲電極が前記第 1 及び第 2 の導電部のうち的一方に一体成形されている請求項 6 に記載の電子装置製造方法。
- 25 9. 前記第 2 の導電部所有体を形成する工程が、  
前記第 1 の導電部に前記第 2 の導電部が重なるように前記第 1 及び第 2 の導電部を形成する工程を有する請求項 6 乃至 8 のうちのいずれか 1 項に記載の

電子装置製造方法。

10. 前記第2の導電部所有体を形成する工程が、前記第1の導電部が絶縁膜の孔を通じて前記第2の導電部に電氣的に接続されるように、前記第1及び第2の導電部を形成する工程を有する請求項6乃至8のうちのいずれか1項に記載の電子装置製造方法。

11. 第1の平衡電極電位を有する第1の金属又は金属化合物を含有する第1の導電部と、第2の平衡電極電位を有する第2の金属又は金属化合物を含有し、前記第1の導電部に電氣的に接続された導電膜とを有する第3の導電部所有体であって、前記導電膜が表面に露出した第3の導電部所有体を形成する工程、及び

前記第2の金属又は金属化合物を含有し前記第1の導電部に電氣的に接続された第2の導電部が形成されるように、前記導電膜をウェットエッチングする工程、

を有する電子装置製造方法であって、

前記ウェットエッチング工程が、前記第2の導電部の他に、前記第1の導電部に電氣的に接続された犠牲電極が形成されるように、前記導電膜をウェットエッチングする電子装置製造方法。

12. 前記導電膜が前記第1の導電部を覆うように形成され、

前記ウェットエッチング工程が、前記第1の導電部の少なくとも一部を露出するように、前記導電膜をウェットエッチングする請求項11に記載の電子装置製造方法。

13. 前記ウェットエッチング工程の後、前記第1の導電部の一部を除去する工程を有する請求項11又は12に記載の電子装置製造方法。

- 1 4. 第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部と、第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部とを有する第 1 の基体、
- 5 前記第 1 の基体に形成された下地層、及び  
前記下地層の表面に形成された、複数の凹部又は凸部を有する反射部、  
を有する電子装置であって、  
前記下地層が、
- 10 前記複数の凹部又は凸部に対応する位置に設けられた被覆部、及び  
感光性材料により形成された、前記被覆部を覆う下地層本体、  
を有する電子装置。
- 1 5. 前記第 1 の基体が、
- 15 支持体、  
前記支持体上に形成された第 1 の導電部、及び  
前記第 1 の導電部に重なるように形成された前記第 2 の導電部、  
を有する請求項 1 4 に記載の電子装置。
- 20 1 6. 前記第 1 の導電部が絶縁膜上に形成された請求項 1 5 に記載の電子装置。
- 1 7. 前記第 1 の基体が、  
支持体、
- 25 前記支持体上に形成された前記第 1 の導電部、  
前記第 1 の導電部と前記第 2 の導電部とを電氣的に接続するための孔を有する絶縁膜、及び



前記孔を通じて前記第 1 の導電部に電氣的に接続された前記第 2 の導電部、  
を有する請求項 1 4 に記載の電子装置。

1 8. 前記絶縁膜が窒化シリコン又は二酸化シリコンを有し、前記被覆部は酸化モリブデンクロムを有することを特徴とする請求項 1 6 又は 1 7 に記載の電子装置。

1 9. 第 1 の平衡電極電位を有する第 1 の金属又は金属化合物を含有する第 1 の導電部、  
10 第 2 の平衡電極電位を有する第 2 の金属又は金属化合物を含有し、前記第 1 の導電部に電氣的に接続された第 2 の導電部、及び  
前記第 1 及び第 2 の導電部に電氣的に接続された犠牲電極、  
を有する電子装置。

15 2 0. 前記犠牲電極が前記第 1 及び第 2 の導電部のうち的一方に直に接続されている請求項 1 9 に記載の電子装置。

2 1. 前記犠牲電極が前記第 1 及び第 2 の導電部のうち的一方に一体成形されている請求項 1 9 に記載の電子装置。

20

2 2. 前記犠牲電極が前記第 1 及び第 2 の金属又は金属化合物を含有する請求項 1 9 乃至 2 1 のうちのいずれか 1 項に記載の電子装置。

2 3. 前記第 1 の導電部に前記第 2 の導電部が重なるように形成されている  
25 請求項 1 9 乃至 2 2 のうちのいずれか 1 項に記載の電子装置。

2 4. 前記第 1 及び第 2 の導電部の組み合わせが、ゲート電極、ゲートバス、

ソース電極又はソースバスの少なくとも一部を構成する請求項 15、16 又は 23 に記載の電子装置。

25. 前記第 1 の導電部が前記第 1 の金属又は金属化合物としてモリブデンを有し、前記第 2 の導電部が前記第 2 の金属又は金属化合物としてアルミニウムを有する請求項 24 に記載の電子装置。

26. 前記第 1 の導電部が、絶縁膜の孔を通じて前記第 2 の導電部に電氣的に接続されている請求項 19 乃至 22 のうちのいずれか 1 項に記載の電子装置。

10

27. 前記第 1 の導電部がゲート端子の少なくとも一部を構成し、前記第 2 の導電部がゲートバスの少なくとも一部を構成する請求項 15、16 又は 26 に記載の電子装置。

15 28. 前記第 1 の導電部がソース端子の少なくとも一部を構成し、前記第 2 の導電部が ESD トランジスタのゲート電極の少なくとも一部を構成する請求項 15、16 又は 26 に記載の電子装置。

20 29. 前記第 1 の導電部が前記第 1 の金属又は金属化合物として酸化インジウムを含有し、前記第 2 の導電部が、前記第 2 の金属又は金属化合物としてアルミニウム又はモリブデンを含有する請求項 27 又は 28 に記載の電子装置。

30. 前記電子装置が第 3 の導電部を有し、  
前記第 1 の導電部が前記第 3 の導電部の一部を覆う請求項 19 に記載の電子  
25 装置。

31. 前記第 3 の導電部がゲート端子の少なくとも一部を構成する請求項 3

0 に記載の電子装置。

3 2. 請求項 1 4 乃至 3 1 のうちのいずれか 1 項に記載の電子装置を備えた  
画像表示装置。